

Docket: 0756-2249

RIGHT  
Proper  
Rashed  
8/18/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re New PATENT Application of )  
Shunpei YAMAZAKI et a ) Attn: Applications  
Japanese Priority Application No. 2000-012148 ) Branch  
Japanese Priority Date: January 20, 2000 )  
For: METHOD OF MANUFACTURING A ) Date: January 18, 2001  
SEMICONDUCTOR DEVICE )



CLAIM FOR PRIORITY UNDER 35 U.S.C. § 119 AND  
SUBMISSION OF CERTIFIED PRIORITY DOCUMENT

Honorable Assistant Commissioner for Patents  
Washington, D.C. 20231


Sir:

Applicant hereby claims foreign priority benefits under 35 U.S.C. §119 based  
upon the following foreign patent application:

Japanese Application No. 2000-012148 Filed January 20, 2000.

A certified copy of the priority Japanese application is submitted herewith.

Respectfully submitted,

  
Jeffrey L. Costellia  
Registration No. 35,483

NIXON PEABODY LLP  
8180 Greensboro Drive, Suite 800  
McLean, Virginia 22102  
(703) 790-9110

JLC/sas

**BEST AVAILABLE COPY**

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

2000年 1月20日

出 願 番 号  
Application Number:

特願2000-012148

出 願 人  
Applicant (s):

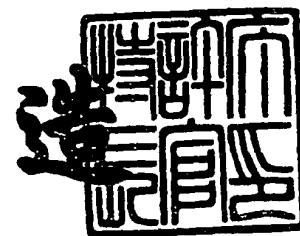
株式会社半導体エネルギー研究所

BEST AVAILABLE COPY

2000年11月17日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2000-3096301

【書類名】 特許願

【整理番号】 P004567-01

【提出日】 平成12年 1月20日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 大谷 久

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 大沼 英人

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の作製方法

【特許請求の範囲】

【請求項 1】

半導体膜に n 型の導電型を付与する不純物元素または p 型の導電型を付与する不純物元素を  $1 \times 10^{15} \sim 5 \times 10^{17} \text{ atoms/cm}^3$  の濃度でイオンドーピングする半導体装置の作製方法であって、

前記半導体膜において、前記不純物元素と同時にイオンドーピングされる炭素の濃度を  $3 \times 10^{17} \text{ atoms/cm}^3$  以下とすることを特徴とする半導体装置の作製方法。

【請求項 2】

半導体膜に n 型の導電型を付与する不純物元素または p 型の導電型を付与する不純物元素を  $1 \times 10^{15} \sim 5 \times 10^{17} \text{ atoms/cm}^3$  の濃度でイオンドーピングする半導体装置の作製方法であって、

前記半導体膜において、前記不純物元素と同時にイオンドーピングされる窒素の濃度を  $1 \times 10^{17} \text{ atoms/cm}^3$  以下とすることを特徴とする半導体装置の作製方法。

【請求項 3】

半導体膜に n 型の導電型を付与する不純物元素または p 型の導電型を付与する不純物元素を  $1 \times 10^{15} \sim 5 \times 10^{17} \text{ atoms/cm}^3$  の濃度でイオンドーピングする半導体装置の作製方法であって、

前記半導体膜において、前記不純物元素と同時にイオンドーピングされる酸素の濃度を  $3 \times 10^{17} \text{ atoms/cm}^3$  以下とすることを特徴とする半導体装置の作製方法。

【請求項 4】

請求項 1 乃至 4 のいずれか一において、前記イオンドーピングは、質量分離しないことを特徴とする半導体装置の作製方法。

【請求項 5】

請求項 1 乃至 4 のいずれか一において、前記イオンドーピングは、前記半導体

膜上に絶縁膜を形成した後、前記絶縁膜を介してドーピングを行うことを特徴とする半導体装置の作製方法。

【請求項 6】

請求項 1 乃至 5 のいずれか一において、前記半導体膜を T F T のチャネル形成領域とすることを特徴とする半導体装置の作製方法。

【請求項 7】

請求項 1 乃至 6 のいずれか一において、前記イオンドーピングは、ジボラン、 $B F_2$ 、またはボロンを含むガスを用いて、前記半導体膜に p 型の導電性を付与する不純物元素をドーピングすることを特徴とする半導体装置の作製方法。

【請求項 8】

請求項 1 乃至 6 のいずれか一において、前記イオンドーピングは、P、またはAsを含むガス、またはフォスフィンを用いて、前記半導体膜に n 型の導電性を付与する不純物元素をドーピングすることを特徴とする半導体装置の作製方法。

【請求項 9】

請求項 1 乃至 6 のいずれか一において、前記不純物元素はボロン元素であって、水素で 0.5%～5%に希釈されたジボランを含む原料ガスにより前記半導体膜にボロン元素をドーピングすることを特徴とする半導体装置の作製方法。

【請求項 10】

請求項 1 乃至 6 のいずれか一において、前記不純物元素はボロン元素であって、水素で 0.5%～1%に希釈されたジボランを含む原料ガスにより前記半導体膜にボロン元素をドーピングすることを特徴とする半導体装置の作製方法。

【請求項 11】

請求項 1 乃至 10 のいずれか一において、前記半導体装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスクプレーヤー、電子遊技機器、プロジェクターであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本願発明は薄膜トランジスタ（以下、T F Tという）で構成された回路を有する半導体装置の作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【 0 0 0 2 】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【 0 0 0 3 】

【従来の技術】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百 n m 程度）を用いて薄膜トランジスタ（T F T）を構成する技術が注目されている。薄膜トランジスタは I C や電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【 0 0 0 4 】

結晶質半導体膜（代表的にはポリシリコン等）を半導体層として用いた T F T は、非晶質半導体膜（代表的にはアモルファスシリコン等）に比べて、移動度が大きいため、盛んに使用されるようになっている。

【 0 0 0 5 】

しかし、ポリシリコン T F T は、アモルファスシリコン T F T に比べ多くの優位点を有しているものの、チャネル形成領域に存在する不純物や欠陥等が T F T の特性、特にしきい値特性に大きな影響を与えてしまうという問題があった。

【 0 0 0 6 】

例えば、しきい値電圧が 0 V よりもマイナス側にシフトした場合、n チャネル型 T F T においてはノーマリ・オン特性となるため、正常なスイッチング動作が不可能となっていた。

【 0 0 0 7 】

このような問題に対して、イオンドーピング装置またはイオン注入装置を用いてチャネル形成領域にボロンイオン等を添加することにより T F T のしきい値を制御する方法が知られている。

## 【 0 0 0 8 】

## 【発明が解決しようとする課題】

一般的に I C 製造プロセスではイオン注入装置を用いて不純物イオンを選択的に注入している。このイオン注入装置は、不純物イオンを電界加速し、さらに質量分離を行って目的のイオン種のみを注入するものであり、高精度である点に特徴がある一方、スループットが悪く、非常に高価な装置となっている。イオン注入装置は、特に、大型基板を処理するアクティブマトリクス型の表示装置の量産には適していない。そこで、大型基板を処理するアクティブマトリクス型の表示装置の量産には、大面積の半導体薄膜に一括で不純物イオンを添加するイオンドーピング装置が用いられている。

## 【 0 0 0 9 】

このイオンドーピング装置はチャンバ内に原料気体を流し、その原料気体を公知の方法によりプラズマ化させて、含有されている不純物イオンをイオン化して結晶質半導体膜に添加する。質量分離を行わないため、目的のイオン種以外のイオンが添加されるが、スループットに優れている。

## 【 0 0 1 0 】

この従来のしきい値を制御する方法において、チャネル形成領域に添加するボロンイオンの量を非常に微量とすることが必要とされている。しかしながら、イオンドーピング装置を用いた場合、チャネル形成領域に添加するための微量な量のボロンイオンを正確に制御することは困難であった。

## 【 0 0 1 1 】

例えば、試料（半導体基板）にイオンドーピング装置を用いてチャネル形成領域となる領域にボロンイオンを添加した場合、通常、図 2 3 ～図 2 5 に示すボロン濃度分布が得られる。

## 【 0 0 1 2 】

図 2 3 ～図 2 5 は従来の方法によりボロンイオンを加速電圧 8 0 k e V で添加した場合に得られるボロン濃度の分布（S I M S 測定による）を示すグラフである。図 2 3 ～図 2 5 において横軸は深さ、縦軸は濃度を示している。

## 【 0 0 1 3 】

また、リファレンスとしてドーピング前の試料に含まれる不純物濃度を調べた。図26はドーピング前の試料に含まれる水素(H)の濃度分布、図27は炭素(C)の濃度分布、図28は酸素(O)及び窒素(N)の濃度分布を示している。

#### 【0014】

図23～図25に示したように、ドーピングによってボロンだけでなく、同時に窒素(N)、酸素(O)、炭素(C)、水素(H)が添加されていることが観察されている。このことから、ドーピング時において同時に大気成分が添加されていることが明かである。本発明者は、これらの大気成分がTFT特性のバラツキを生じさせている大きな要因の一つと考えた。

#### 【0015】

当然ながら、ドーピング量の制御はパラメータ(RF電力、周波数、真空度、ガス濃度等)に依存するため、これらのパラメータを常に一定範囲に収めておくことが必要とされている。しかしながら、これらのパラメータを一定範囲に収めてもしきい値のバラツキは生じていた。

#### 【0016】

従来のイオンドーピング方法では、意図的でなく添加された大気成分によっても、しきい値等のTFT特性が左右されてしまうため、制御することができなかった。

#### 【0017】

##### 【課題を解決するための手段】

従来、ドーピング時に使用している原料ガスは、水素で希釈した0.1%のジボラン( $B_2H_6$ )を用いており、プラズマ中のドーパント種比率が低く、さらにドーズにかかる時間が長いため、その分、リーク等から混入した大気成分が多くイオン化されて同時に添加されていると考えられる。

#### 【0018】

上記課題を解決する手段の一つとして本発明は、水素に対する不純物イオン(代表的にはB、P)の濃度の比率を上げることによって、同時に半導体層に添加される大気成分(C、N、O)の濃度を減少させる、或いは大気成分が半導体層に



添加されないようにすることを特徴としている。

#### 【 0 0 1 9 】

上記本発明を用いてチャネル形成領域が形成された T F T は、極めて優れた T F T 特性を備えるとともに各 T F T の特性に関するバラツキを低減することができる。本発明によって、例えば、T F T 特性の一つであるしきい値の制御を極めて正確に行うことが可能となる。

#### 【 0 0 2 0 】

本明細書で開示する発明の構成は、

半導体膜上に絶縁膜を形成した後、前記絶縁膜を介して前記半導体膜に p 型の導電性を付与する不純物元素を  $1 \times 10^{15} \sim 5 \times 10^{17} \text{ atoms/cm}^3$  の濃度でイオンドーピングする半導体装置の作製方法であって、

水素で 0.5%～5%、好ましくは 0.5%～1% に希釈されたジボランを含む原料ガスにより前記半導体膜にボロン元素をドーピングすることを特徴とする半導体装置の作製方法である。

#### 【 0 0 2 1 】

また、他の発明の構成は、

半導体膜に n 型の導電性を付与する不純物元素または p 型の導電性を付与する不純物元素を  $1 \times 10^{15} \sim 5 \times 10^{17} \text{ atoms/cm}^3$  の濃度でイオンドーピングする半導体装置の作製方法であって、

前記半導体膜において、前記不純物元素と同時にイオンドーピングされる炭素の濃度を  $3 \times 10^{17} \text{ atoms/cm}^3$  以下とすることを特徴とする半導体装置の作製方法である。

#### 【 0 0 2 2 】

また、他の発明の構成は、

半導体膜に n 型の導電性を付与する不純物元素または p 型の導電性を付与する不純物元素を  $1 \times 10^{15} \sim 5 \times 10^{17} \text{ atoms/cm}^3$  の濃度でイオンドーピングする半導体装置の作製方法であって、

前記半導体膜において、前記不純物元素と同時にイオンドーピングされる窒素の濃度を  $1 \times 10^{17} \text{ atoms/cm}^3$  以下とすることを特徴とする半導体装置

の作製方法である。

【 0 0 2 3 】

また、他の発明の構成は、

半導体膜に n 型の導電性を付与する不純物元素または p 型の導電性を付与する不純物元素を  $1 \times 10^{15} \sim 5 \times 10^{17} \text{ atoms/cm}^3$  の濃度でイオンドーピングする半導体装置の作製方法であって、

前記半導体膜において、前記不純物元素と同時にイオンドーピングされる酸素の濃度を  $3 \times 10^{17} \text{ atoms/cm}^3$  以下とすることを特徴とする半導体装置の作製方法である。

【 0 0 2 4 】

また、各上記構成において、前記イオンドーピングは、質量分離しないことを特徴としている。

【 0 0 2 5 】

また、各上記構成において、前記イオンドーピングは、前記半導体膜上に絶縁膜を形成した後、前記絶縁膜を介してドーピングを行うことを特徴としている。

【 0 0 2 6 】

また、各上記構成において、前記半導体膜を T F T のチャネル形成領域とすることを特徴としている。

【 0 0 2 7 】

また、各上記構成において、前記イオンドーピングは、ジボラン、 $\text{BF}_2$ 、またはボロンを含むガスを用いて、前記半導体膜に p 型の導電性を付与する不純物元素をドーピングすることを特徴としている。

【 0 0 2 8 】

また、各上記構成において、前記イオンドーピングは、P、またはAsを含むガス、またはフォスフィンを用いて、前記半導体膜に n 型の導電性を付与する不純物元素をドーピングすることを特徴としている。

【 0 0 2 9 】

また、各上記構成において、前記不純物元素はボロン元素であって、水素で 0 . 5 % ~ 5 % に希釈されたジボランを含む原料ガスにより前記半導体膜にボロン

元素をドーピングすることを特徴としている。

【 0 0 3 0 】

また、各上記構成において、前記不純物元素はボロン元素であって、水素で 0 . 5 % ~ 1 % に希釈されたジボランを含む原料ガスにより前記半導体膜にボロン元素をドーピングすることを特徴としている。

【 0 0 3 1 】

なお、本明細書中では、ゲート電極はゲート絶縁膜を介してチャネル形成領域の上方に位置しているゲート配線の一部を指している。

【 0 0 3 2 】

また、上記手段に限定されず、ドーピング時に添加される大気成分の添加を可能な限り抑えて、チャネル形成領域となる領域に添加される不純物イオンの量を微量な量（望ましくは  $1 \times 10^{15} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ ）に制御できる手段であれば、特に限定されない。

【 0 0 3 3 】

例えば、他の手段の一つとして、分子量等が異なるためイオンの到達深さや分布が異なることを利用し、半導体膜に積層した絶縁膜の膜厚を調節することによって半導体層に添加される大気成分（C、N、O）の濃度を減少させてもよい。

【 0 0 3 4 】

【発明の実施の形態】

本願発明の実施形態について、以下に説明する。

【 0 0 3 5 】

本発明は、イオンドーピング装置を用いて、チャネル形成領域に含まれる不純物イオン（ドナーもしくはアクセプターとなる）の添加量を正確に制御することを目的としている。

【 0 0 3 6 】

図 2 3 ~ 図 2 5 で用いた条件のうち、0 . 1 % の濃度に代えて 5 % の濃度に水素で希釈されたジボランを含む原料ガスを用い、その他の条件、例えばイオン電流密度および総ドーズ量を同一とした。このような条件でドーピングした後、不純物濃度（B、H、C）を測定した結果を図 1、不純物濃度（B、H、N）を測

定した結果を図2、不純物濃度（B、H、O）を測定した結果を図3にそれぞれ示す。

#### 【0037】

図23では、添加されたボロン濃度と炭素濃度がほぼ同程度でドーピングされていることが観察された。ボロンと炭素は分子量がほぼ同じであるため、ほぼ同じ濃度プロファイル（ピークの位置）となる。

#### 【0038】

一方、図1では、炭素濃度がボロン濃度と異なる濃度プロファイルを示し、且つ図23よりも低減されていることが観察された。図1において、深さ1000Å～12000Åの範囲における炭素濃度は、 $1 \times 10^{15} \sim 2 \times 10^{17} \text{ atoms/cm}^3$ である。また、ボロン濃度は、1500Å付近でピークを有し、 $1 \times 10^{15} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ である。

#### 【0039】

同様に、図2では窒素濃度が図24よりも十分の一程度低減されていることが観察された。図2において、深さ1000Å～12000Åの範囲における窒素濃度は、 $5 \times 10^{15} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ である。

#### 【0040】

また、図3では酸素濃度が図25よりも低減されていることが観察された。図3において、深さ1000Å～12000Åの範囲における酸素濃度は、 $8 \times 10^{15} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ である。

#### 【0041】

また、ドーピング後のデータである図1～図3とドーピング前のデータであるリファレンス（図26～図28）とをそれぞれ比較した場合、各大気成分（C、N、O）の濃度は、ほぼ同一であった。このことから、ドーピングの際、同時に大気成分（C、N、O）が半導体層にほとんどドーピングされなかったことがわかる。

#### 【0042】

この現象は、ジボランの濃度を上げることで反応室内の総原子数に対するボロン元素の割合が増えたことが主に起因している。 $10^{-6} \sim 10^{-7} \text{ Torr}$ に真空

引きされたチャンバー内には他の元素（C、N、O）のガスがわずかに残留している。しかし、他の元素（C、N、O）のガスに比べ高い濃度の原料ガスをそのチャンバー内に流入させてドーピングさせると、他の元素（C、N、O）がほとんどドーピングされない。

## 【 0 0 4 3 】

また、ジボランの濃度を上げることで反応室内の総原子数に対するボロン元素の割合は増えるが、イオン化させるために与えられるエネルギーが決定されているので、イオン化されてドーピングされるイオンの数が制限されたために生じたことも影響していると推測される。即ち、ボロン元素の割合が増加したことに相対してドーピングされる他の元素（C、N、O）のイオン数が減ったと推測できる。なお、水素原子は、他の元素に比べて非常に総原子数に対する割合が多いのでほとんど影響はない。

## 【 0 0 4 4 】

なお、5%の濃度に水素で希釈されたジボランを含む原料ガスを用いて半導体層にボロン濃度が  $1 \times 10^{17} \text{ atoms/cm}^3$  含まれるようにする場合は、処理時間が16秒と大変短くなり、装置の制御が困難となる。従って、0.5～1%の濃度に水素で希釈されたジボランを含む原料ガスとすることが望ましい。また、この処理時間の短さも大気成分（C、N、O）が半導体層にほとんどドーピングされなかったことに関連していると思われる。

## 【 0 0 4 5 】

こうして得られた半導体層を用いたチャネル形成領域を有するTFETは優れた特性を有し、所望のしきい値を得ることができた。

## 【 0 0 4 6 】

また、図29はガウス関数によるフィッティングを示した図である。イオンドーピング法を用いた場合、イオン注入とは異なり、2つのピーク（ $B^+$ イオンによるピークと $B_2^+$ イオンによるピーク）を有している。ただし、この図29に示したデータは半導体基板上に酸化シリコン膜（4000Å）が積層形成された試料を用いた。

## 【 0 0 4 7 】

また、ここでは不純物イオンをボロンとした例を示したが、特に限定されず、ボロンに代えて、実施者は他の p 型を付与する不純物イオンや n 型の導電型を付与する不純物イオン (P、または As) を適宜用いることができる。

## 【 0 0 4 8 】

また、上記ジボランの濃度を増加させる手段に限定されず、例えば、他の手段の一つとして、分子量等が異なるため生成されたイオンの注入深さや分布が異なることを利用し、絶縁膜の膜厚を調節することによって半導体層に添加される大気成分 (C、N、O) の濃度を減少させてもよい。

## 【 0 0 4 9 】

これらのデータは半導体基板を試料としたものであるが、基板上に形成された半導体膜にも同様の上記現象が得られる。特に、ドーピングを行い T F T のチャネル形成領域を形成する工程に本実施の形態で示した方法を用いれば、所望の濃度で p 型または n 型を付与する不純物元素を添加でき、しきい値電圧を得ることができる。

## 【 0 0 5 0 】

以上の構成でなる本願発明について、さらに詳細な説明を以下に示す実施例で行うこととする。

## 【 0 0 5 1 】

## 【実施例】

## 【実施例 1】

本発明の実施例を図 4 ～ 図 6 を用いて説明する。ここでは、画素部の画素 T F T および保持容量と、画素部の周辺に設けられる駆動回路の T F T を同時に作製する方法について工程に従って詳細に説明する。

## 【 0 0 5 2 】

図 4 (A) において、基板 1 0 1 にはコーニング社の # 7 0 5 9 ガラスや # 1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板や石英基板などを用いる。ガラス基板を用いる場合には、ガラス歪み点よりも 1 0 ～ 2 0 ℃ 程度低い温度であらかじめ熱処理しておいても良い。そして、基板 1 0 1 の T F T を形成する表面に、基板 1 0 1 からの不純

物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜102を形成する。例えば、プラズマCVD法で $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2\text{O}$ から作製される酸化窒化シリコン膜102aを10～200nm（好ましくは50～100nm）、同様に $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ から作製される酸化窒化水素化シリコン膜102bを50～200nm（好ましくは100～150nm）の厚さに積層形成する。ここでは下地膜102を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させて形成しても良い。

## 【0053】

酸化窒化シリコン膜は平行平板型のプラズマCVD法を用いて形成する。酸化窒化シリコン膜102aは、 $\text{SiH}_4$ を10SCCM、 $\text{NH}_3$ を100SCCM、 $\text{N}_2\text{O}$ を20SCCMとして反応室に導入し、基板温度325℃、反応圧力40Pa、放電電力密度0.41W/cm<sup>2</sup>、放電周波数60MHzとした。一方、酸化窒化水素化シリコン膜102bは、 $\text{SiH}_4$ を5SCCM、 $\text{N}_2\text{O}$ を120SCCM、 $\text{H}_2$ を125SCCMとして反応室に導入し、基板温度400℃、反応圧力20Pa、放電電力密度0.41W/cm<sup>2</sup>、放電周波数60MHzとした。これらの膜は、基板温度を変化させ、反応ガスの切り替えのみで連続して形成することができる。

## 【0054】

このようにして作製した酸化窒化シリコン膜102aは、密度が $9.28 \times 10^{22}/\text{cm}^3$ であり、フッ化水素アンモニウム（ $\text{NH}_4\text{HF}_2$ ）を7.13%とフッ化アンモニウム（ $\text{NH}_4\text{F}$ ）を15.4%含む混合溶液（ステラケミファ社製、商品名LAL500）の20℃におけるエッチング速度が約63nm/minと遅く、緻密で硬い膜である。このような膜を下地膜に用いると、この上に形成する半導体層にガラス基板からのアルカリ金属元素が拡散するのを防ぐのに有効である。

## 【0055】

次に、25～80nm（好ましくは30～60nm）の厚さで非晶質構造を有する半導体層103aを、プラズマCVD法やスパッタ法などの方法で形成する。非晶質構造を有する半導体膜には、非晶質半導体層や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。プラズマCVD法で非晶質シリコン膜を形成する場合には、下地膜10

2と非晶質半導体層103aとは両者を連続形成することも可能である。例えば、前述のように酸化窒化シリコン膜102aと酸化窒化水素化シリコン膜102bをプラズマCVD法で連続して成膜後、反応ガスを $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ 、 $\text{H}_2$ から $\text{SiH}_4$ と $\text{H}_2$ 或いは $\text{SiH}_4$ のみに切り替えれば、一旦大気雰囲気中に晒すことなく連続形成できる。その結果、酸化窒化水素化シリコン膜102bの表面の汚染を防ぐことが可能となり、作製するTFETの特性バラツキやしきい値電圧の変動を低減させることができる。

## 【0056】

そして、結晶化の工程を行い非晶質半導体層103aから結晶質半導体層103bを作製する。その方法としてレーザーアニール法や熱アニール法（固相成長法）、またはラピットサーマルアニール法（RTA法）を適用することができる。前述のようなガラス基板や耐熱性の劣るプラスチック基板を用いる場合には、特にレーザーアニール法を適用することが好ましい。RTA法では、赤外線ランプ、ハロゲンランプ、メタルハライドランプ、キセノンランプなどを光源に用いる。或いは特開平7-130652号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質半導体層103bを形成することもできる。結晶化の工程ではまず、非晶質半導体層が含有する水素を放出させておくことが好ましく、400～500℃で1時間程度の熱処理を行い含有する水素量を5atom%以下にしてから結晶化させると膜表面の荒れを防ぐことができるので良い。

## 【0057】

また、プラズマCVD法で非晶質シリコン膜の形成工程において、反応ガスに $\text{SiH}_4$ とアルゴン（Ar）を用い、成膜時の基板温度を400～450℃として形成すると、非晶質シリコン膜の含有水素濃度を5atomic%以下にすることもできる。このような場合において水素を放出させるための熱処理は不要となる。

## 【0058】

結晶化をレーザーアニール法にて行う場合には、パルス発振型または連続発光型のエキシマレーザーやアルゴンレーザーをその光源とする。パルス発振型のエキシマレーザーを用いる場合には、レーザー光を線状に加工してレーザーアニールを行う。レーザーアニール条件は実施者が適宜選択するものであるが、例えば



、レーザーパルス発振周波数 3 0 H z とし、レーザーエネルギー密度を 1 0 0 ~ 5 0 0 mJ/cm<sup>2</sup> (代表的には 3 0 0 ~ 4 0 0 mJ/cm<sup>2</sup>) とする。そして線状ビームを基板全面に渡って照射し、この時の線状ビームの重ね合わせ率 (オーバーラップ率) を 8 0 ~ 9 8 % として行う。このようにして図 4 (B) に示すように結晶質半導体層 1 0 3 b を得ることができる。

#### 【 0 0 5 9 】

そして、結晶質半導体層 1 0 3 b 上に第 1 のフォトマスク (PM1) を用い、フォトリソグラフィの技術を用いてレジストパターンを形成し、ドライエッチングによって結晶質半導体層を島状に分割し、図 4 (C) に示すように島状半導体層 1 0 4 ~ 1 0 8 を形成する。結晶質シリコン膜のドライエッチングには C F<sub>4</sub> と O<sub>2</sub> の混合ガスを用いる。

#### 【 0 0 6 0 】

その後、プラズマ C V D 方またはスパッタ法により 5 0 ~ 2 0 0 n m の厚さの酸化シリコン膜によるマスク層を形成する。本実施例では 1 3 0 n m の厚さの酸化シリコン膜を形成した。

#### 【 0 0 6 1 】

そして、この状態で島状半導体層に対し、T F T のしきい値電圧 (V<sub>th</sub>) を制御する目的で p 型を付与する不純物元素を  $1 \times 10^{16} \sim 5 \times 10^{17}$  atoms/cm<sup>3</sup> 程度の濃度で島状半導体層の全面に添加する。半導体に対して p 型を付与する不純物元素には、ホウ素 (B)、アルミニウム (A l)、ガリウム (G a) など周期律表第 1 3 族の元素が知られている。その方法として、実施の形態に示したイオンドープ法が適している。イオンドープ法で 0. 5 ~ 5 %、好ましくは 0. 5 ~ 1 % の濃度に水素で希釈されたジボラン (B<sub>2</sub>H<sub>6</sub>) をソースガスとして用いボロン (B) を添加する。本実施例では、5 % の濃度に水素で希釈されたジボランを含む原料ガスを用い、加速電圧 8 0 k e V、流量 2 5 s c c m、電流密度 5 0 n A、処理時間 3 9. 4 秒とし、 $2. 6 \times 10^{17}$  atoms/cm<sup>3</sup> 程度のボロン濃度で島状半導体層の全面に添加した。5 % の濃度とすることによって、半導体膜へのドーピング時にボロン以外に同時に添加されてしまう不純物元素 (炭素、窒素、酸素) を低減することができる。

## 【 0 0 6 2 】

なお、ここでは全面に添加した例を示したが、マスクを用いて選択的に添加してもよい。また、ここでの工程は、チャネルドープ工程と呼ばれており、特に n チャネル型 T F T のしきい値電圧を所定の範囲内に収めるために好適に用いる手法である。

## 【 0 0 6 3 】

次いで、ドーピング量の制御に用いたマスク層は除去した。ただし、工程数を低減するため、この絶縁膜をそのままゲート絶縁膜またはその一層として用いてもよい。

## 【 0 0 6 4 】

次いで、ゲート絶縁膜 1 0 9 を形成する。ゲート絶縁膜 1 0 9 はプラズマ C V D 法またはスパッタ法を用い、膜厚を 4 0 ~ 1 5 0 nm としてシリコンを含む絶縁膜で形成する。本実施例では、1 2 0 nm の厚さで酸化窒化シリコン膜から形成する。また、 $\text{SiH}_4$  と  $\text{N}_2\text{O}$  に  $\text{O}_2$  を添加させて作製された酸化窒化シリコン膜は、膜中の固定電荷密度が低減されているのでこの用途に対して好ましい材料となる。また、 $\text{SiH}_4$  と  $\text{N}_2\text{O}$  と  $\text{H}_2$  とから作製する酸化窒化シリコン膜はゲート絶縁膜との界面欠陥密度を低減できるので好ましい。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマ C V D 法で、T E O S (Tetraethyl Orthosilicate) と  $\text{O}_2$  とを混合し、反応圧力 4 0 Pa、基板温度 3 0 0 ~ 4 0 0 °C とし、高周波 ( 1 3 . 5 6 MHz ) 電力密度 0 . 5 ~ 0 . 8 W / cm<sup>2</sup> で放電させて形成することができる。このようにして作製された酸化シリコン膜は、その後 4 0 0 ~ 5 0 0 °C の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

## 【 0 0 6 5 】

そして、図 4 ( D ) に示すように、第 1 の形状のゲート絶縁膜 1 0 9 上にゲート電極を形成するための耐熱性導電層 1 1 1 を 2 0 0 ~ 4 0 0 nm ( 好ましくは 2 5 0 ~ 3 5 0 nm ) の厚さで形成する。耐熱性導電層は単層で形成しても良いし、必要に応じて二層あるいは三層といった複数の層から成る積層構造としても良い

。本明細書でいう耐熱性導電層にはT a、T i、Wから選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜が含まれる。これらの耐熱性導電層はスパッタ法やC V D法で形成されるものであり、低抵抗化を図るために含有する不純物濃度を低減させることが好ましく、特に酸素濃度に関しては3 0 p p m以下とすると良い。本実施例ではW膜を3 0 0 nmの厚さで形成する。W膜はWをターゲットとしてスパッタ法で形成しても良いし、6フッ化タングステン(WF<sub>6</sub>)を用いて熱C V D法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は2 0 μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度9 9 . 9 9 9 9 %のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9 ~ 2 0 μΩcmを実現することができる。

## 【0 0 6 6】

一方、耐熱性導電層1 1 1にT a膜を用いる場合には、同様にスパッタ法で形成することが可能である。T a膜はスパッタガスにA rを用いる。また、スパッタ時のガス中に適量のX eやK rを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。α相のT a膜の抵抗率は2 0 μΩcm程度でありゲート電極に使用することができるが、β相のT a膜の抵抗率は1 8 0 μΩcm程度でありゲート電極とするには不向きであった。T a N膜はα相に近い結晶構造を持つので、T a膜の下地にT a N膜を形成すればα相のT a膜が容易に得られる。また、図示しないが、耐熱性導電層1 1 1の下に2 ~ 2 0 nm程度の厚さでリン(P)をドーブしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、耐熱性導電層1 1 1が微量に含有するアルカリ金属元素が第1の形状のゲート絶縁膜1 0 9に拡散するのを防ぐことができる。いずれにしても、耐熱性導電層1 1 1は抵抗率を1 0 ~ 5 0 μΩcmの範囲ですることが好ましい。

## 【0 0 6 7】

次に、第2のフォトマスク（PM2）を用い、フォトリソグラフィーの技術を使用してレジストによるマスク112～117を形成する。そして、第1のエッチング処理を行う。本実施例ではICPエッチング装置を用い、エッチング用ガスに $\text{Cl}_2$ と $\text{CF}_4$ を用い、1Paの圧力で $3.2\text{ W/cm}^2$ のRF（13.56MHz）電力を投入してプラズマを形成して行う。基板側（試料ステージ）にも $224\text{ mW/cm}^2$ のRF（13.56MHz）電力を投入し、これにより実質的に負の自己バイアス電圧が印加される。この条件でW膜のエッチング速度は約 $100\text{ nm/min}$ である。第1のエッチング処理はこのエッチング速度を基にW膜が丁度エッチングされる時間を推定し、それよりもエッチング時間を20%増加させた時間をエッチング時間とした。

#### 【0068】

第1のエッチング処理により第1のテーパ形状を有する導電層118～123が形成される。図2（A）で示すと同様にテーパ部の角度は $15\sim30^\circ$ が形成される。残渣を残すことなくエッチングするためには、10～20%程度の割合でエッチング時間を増加させるオーバーエッチングを施すものとする。W膜に対する酸化窒化シリコン膜（第1の形状のゲート絶縁膜109）の選択比は2～4（代表的には3）であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は $20\sim50\text{ nm}$ 程度エッチングされ第1のテーパ形状を有する導電層の端部近傍にテーパ形状が形成された第2の形状のゲート絶縁膜134が形成される。

#### 【0069】

そして、第1のドーピング処理を行い一導電型の不純物元素を島状半導体層に添加する。ここでは、n型を付与する不純物元素添加の工程を行う。第1の形状の導電層を形成したマスク112～117をそのまま残し、第1のテーパ形状を有する導電層118～123をマスクとして自己整合的にn型を付与する不純物元素をイオンドープ法で添加する。n型を付与する不純物元素をゲート電極の端部におけるテーパ部とゲート絶縁膜とを通して、その下に位置する半導体層に達するように添加するためにドーズ量を $1\times10^{13}\sim5\times10^{14}\text{ atoms/cm}^2$ とし、加速電圧を $80\sim160\text{ keV}$ として行う。n型を付与する不純物元素とし

て15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いた。このようなイオンドーピング法により第1の不純物領域124~128には $1 \times 10^{20} \sim 1 \times 10^{21}$  atomic/cm<sup>3</sup>の濃度範囲でn型を付与する不純物元素が添加され、テーパ部下方に形成される第2の不純物領域(A)には同領域内で必ずしも均一ではないが $1 \times 10^{17} \sim 1 \times 10^{20}$  atomic/cm<sup>3</sup>の濃度範囲でn型を付与する不純物元素が添加される。

## 【0070】

この工程において、第2の不純物領域(A)129~132において、少なくとも第1の形状の導電層118~123と重なった部分に含まれるn型を付与する不純物元素の濃度変化は、テーパ部の膜厚変化を反映する。即ち、第2の不純物領域(A)129~132へ添加されるリン(P)の濃度は、第1の形状の導電層に重なる領域において、該導電層の端部から内側に向かって徐々に濃度が低くなる。これはテーパ部の膜厚の差によって、半導体層に達するリン(P)の濃度が変化するためである。

## 【0071】

次に、図5(B)に示すように第2のエッチング処理を行う。エッチング処理も同様にICPエッチング装置により行い、エッチングガスにCF<sub>4</sub>とCl<sub>2</sub>の混合ガスを用い、RF電力3.2W/cm<sup>2</sup>(13.56MHz)、バイアス電力45mW/cm<sup>2</sup>(13.56MHz)、圧力1.0Paでエッチングを行う。この条件で形成される第2の形状を有する導電層140~145が形成される。その端部にはテーパ部が形成され、該端部から内側にむかって徐々に厚さが増加するテーパ形状となる。第1のエッチング処理と比較して基板側に印加するバイアス電力を低くした分等方性エッチングの割合が多くなり、テーパ部の角度は30~60°となる。また、第2の形状のゲート絶縁膜134の表面が40nm程度エッチングされ、新たに第3の形状のゲート絶縁膜170が形成される。

## 【0072】

そして、第1のドーピング処理よりもドーズ量を下げ高加速電圧の条件でn型を付与する不純物元素をドーピングする。例えば、加速電圧を70~120keVとし、 $1 \times 10^{13}$ /cm<sup>2</sup>のドーズ量で行い、第2の形状を有する導電層140~

145と重なる領域の不純物濃度を $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ となるようにする。このようにして、第2の不純物領域(B) 146~150を形成する。

#### 【0073】

そして、pチャネル型TFTを形成する島状半導体層104、106に一導電型とは逆の導電型の不純物領域156、157を形成する。この場合も第2の形状の導電層140、142をマスクとしてp型を付与する不純物元素を添加し、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体層105、107、108は、第3のフォトマスク(PM3)を用いてレジストのマスク151~153を形成し全面を被覆しておく。ここで形成される不純物領域156、157はジボラン( $\text{B}_2\text{H}_6$ )を用いたイオンドープ法で形成する。不純物領域156、157のp型を付与する不純物元素の濃度は、 $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。

#### 【0074】

しかしながら、この不純物領域156、157は詳細にはn型を付与する不純物元素を含有する3つの領域に分けて見ることができる。第3の不純物領域156a、157aは $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度でn型を付与する不純物元素を含み、第4の不純物領域(A) 156b、157bは $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度でn型を付与する不純物元素を含み、第4の不純物領域(B) 156c、157cは $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度でn型を付与する不純物元素を含んでいる。しかし、これらの不純物領域156b、156c、157b、157cのp型を付与する不純物元素の濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 以上となるようにし、第3の不純物領域156a、157aにおいては、p型を付与する不純物元素の濃度を1.5から3倍となるようにすることにより、第3の不純物領域でpチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。また、第4の不純物領域(B) 156c、157cは一部が第2のテーパー形状を有する導電層140または142と一部が重なって形成される。

#### 【0075】

その後、図 6 (A) に示すように、ゲート電極およびゲート絶縁膜上から第 1 の層間絶縁膜 1 5 8 を形成する。第 1 の層間絶縁膜は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。いずれにしても第 1 の層間絶縁膜 1 5 8 は無機絶縁物材料から形成する。第 1 の層間絶縁膜 1 5 8 の膜厚は 1 0 0 ~ 2 0 0 nm とする。ここで、酸化シリコン膜を用いる場合には、プラズマ CVD 法で T E O S と  $O_2$  とを混合し、反応圧力 4 0 Pa、基板温度 3 0 0 ~ 4 0 0 °C とし、高周波 ( 1 3 . 5 6 MHz ) 電力密度 0 . 5 ~ 0 . 8 W/cm<sup>2</sup> で放電させて形成することができる。また、酸化窒化シリコン膜を用いる場合には、プラズマ CVD 法で S i H<sub>4</sub>、N<sub>2</sub>O、NH<sub>3</sub> から作製される酸化窒化シリコン膜、または S i H<sub>4</sub>、N<sub>2</sub>O から作製される酸化窒化シリコン膜で形成すれば良い。この場合の作製条件は反応圧力 2 0 ~ 2 0 0 Pa、基板温度 3 0 0 ~ 4 0 0 °C とし、高周波 ( 6 0 MHz ) 電力密度 0 . 1 ~ 1 . 0 W/cm<sup>2</sup> で形成することができる。また、S i H<sub>4</sub>、N<sub>2</sub>O、H<sub>2</sub> から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマ CVD 法で S i H<sub>4</sub>、NH<sub>3</sub> から作製することが可能である。

## 【 0 0 7 6 】

そして、それぞれの濃度で添加された n 型または p 型を付与する不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法 ( R T A 法 ) を適用することができる。熱アニール法では酸素濃度が 1 p p m 以下、好ましくは 0 . 1 p p m 以下の窒素雰囲気中で 4 0 0 ~ 7 0 0 °C、代表的には 5 0 0 ~ 6 0 0 °C で行うものであり、本実施例では 5 5 0 °C で 4 時間の熱処理を行った。また、基板 1 0 1 に耐熱温度が低いプラスチック基板を用いる場合にはレーザーアニール法を適用することが好ましい。

## 【 0 0 7 7 】

活性化の工程に続いて、雰囲気ガスを変化させ、3 ~ 1 0 0 % の水素を含む雰囲気中で、3 0 0 ~ 4 5 0 °C で 1 ~ 1 2 時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により島状半導体層にある  $1 0^{16} \sim 1 0^{18}/\text{cm}^3$  のダングリングボンドを終端する工程である。水素化の他

の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。いずれにしても、島状半導体層 1 0 4 ~ 1 0 8 中の欠陥密度を  $10^{16}/\text{cm}^3$  以下とすることが望ましく、そのために水素を 0. 0 1 ~ 0. 1 atomic% 程度付与すれば良い。

## 【 0 0 7 8 】

このように、第 2 の層間絶縁膜を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減することができる。しかし、吸湿性があり保護膜としては適さないので、本実施例のように、第 1 の層間絶縁膜 1 5 8 として形成した酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などと組み合わせて用いると良い。

## 【 0 0 7 9 】

その後、第 4 のフォトマスク（PM4）を用い、所定のパターンのレジストマスクを形成し、それぞれの島状半導体層に形成されソース領域またはドレイン領域とする不純物領域に達するコンタクトホールを形成する。コンタクトホールはドライエッチング法で形成する。この場合、エッチングガスに  $\text{CF}_4$ 、 $\text{O}_2$ 、 $\text{He}$  の混合ガスを用い有機樹脂材料から成る第 2 の層間絶縁膜 1 5 9 をまずエッチングし、その後、続いてエッチングガスを  $\text{CF}_4$ 、 $\text{O}_2$  として第 1 の層間絶縁膜 1 5 8 をエッチングする。さらに、島状半導体層との選択比を高めるために、エッチングガスを  $\text{CHF}_3$  に切り替えて第 3 の形状のゲート絶縁膜 1 7 0 をエッチングすることによりコンタクトホールを形成することができる。

## 【 0 0 8 0 】

そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、第 5 のフォトマスク（PM5）によりレジストマスクパターンを形成し、エッチングによってソース線 1 6 0 ~ 1 6 4 とドレイン線 1 6 5 ~ 1 6 8 を形成する。画素電極 1 6 9 はドレイン線と一緒に形成される。画素電極 1 7 1 は隣の画素に帰属する画素電極を表している。図示していないが、本実施例ではこの配線を、Ti 膜を 5 0 ~ 1 5 0 nm の厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する不純物領域とコンタクトを形成し、その Ti 膜上に重ねてアルミニウム（Al）を 3 0 0 ~ 4 0 0 nm の厚さで形成（図 6（C）において 1 6 0 a ~ 1 6 9 a で示



す) し、さらにその上に透明導電膜を 80~120nm の厚さで形成 (図 6 (C) において 160b~169b で示す) した。透明導電膜には酸化インジウム酸化亜鉛合金 ( $\text{In}_2\text{O}_3-\text{ZnO}$ )、酸化亜鉛 ( $\text{ZnO}$ ) も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム (Ga) を添加した酸化亜鉛 ( $\text{ZnO}:\text{Ga}$ ) などを好適に用いることができる。

## 【0081】

こうして 5 枚のフォトマスクにより、同一の基板上に、駆動回路の TFT と画素部の画素 TFT とを有した基板を完成させることができる。駆動回路には第 1 の p チャンネル型 TFT 200、第 1 の n チャンネル型 TFT 201、第 2 の p チャンネル型 TFT 202、第 2 の n チャンネル型 TFT 203、画素部には画素 TFT 204、保持容量 205 が形成されている。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

## 【0082】

駆動回路の第 1 の p チャンネル型 TFT 200 には、第 2 のテーパ形状を有する導電層がゲート電極 220 としての機能を有し、島状半導体層 104 にチャンネル形成領域 206、ソース領域またはドレイン領域として機能する第 3 の不純物領域 207a、ゲート電極 220 と重ならない LDD 領域を形成する第 4 の不純物領域 (A) 207b、一部がゲート電極 220 と重なる LDD 領域を形成する第 4 の不純物領域 (B) 207c を有する構造となっている。

## 【0083】

第 1 の n チャンネル型 TFT 201 には、第 2 のテーパ形状を有する導電層がゲート電極 221 としての機能を有し、島状半導体層 105 にチャンネル形成領域 208、ソース領域またはドレイン領域として機能する第 1 の不純物領域 209a、ゲート電極 221 と重ならない LDD 領域を形成する第 2 の不純物領域 (A) (A) 209b、一部がゲート電極 221 と重なる LDD 領域を形成する第 2 の不純物領域 (B) 209c を有する構造となっている。チャンネル長 2~7  $\mu\text{m}$  に対して、第 2 の不純物領域 (B) 209c がゲート電極 221 と重なる部分の長さは 0.1~0.3  $\mu\text{m}$  とする。この Lov の長さはゲート電極 221 の厚さとテーパ部の角度から制御する。n チャンネル型 TFT においてこのような LDD

領域を形成することにより、ドレイン領域近傍に発生する高電界を緩和して、ホットキャリアの発生を防ぎ、T F Tの劣化を防止することができる。

## 【 0 0 8 4 】

駆動回路の第2のpチャネル型T F T 2 0 2は同様に、第2のテーパ形状を有する導電層がゲート電極2 2 2としての機能を有し、島状半導体層1 0 6にチャネル形成領域2 1 0、ソース領域またはドレイン領域として機能する第3の不純物領域2 1 1 a、ゲート電極2 2 2と重ならないL D D領域を形成する第4の不純物領域(A) 2 1 1 b、一部がゲート電極2 2 2と重なるL D D領域を形成する第4の不純物領域(B) 2 1 1 cを有する構造となっている。

## 【 0 0 8 5 】

駆動回路の第2のnチャネル型T F T 2 0 3には、第2のテーパ形状を有する導電層がゲート電極2 2 3としての機能を有し、島状半導体層1 0 7にチャネル形成領域2 1 2、ソース領域またはドレイン領域として機能する第1の不純物領域2 1 3 a、ゲート電極2 2 3と重ならないL D D領域を形成する第2の不純物領域(A) 2 1 3 b、一部がゲート電極2 2 3と重なるL D D領域を形成する第2の不純物領域(B) 2 1 3 cを有する構造となっている。第2のnチャネル型T F T 2 0 1と同様に第2の不純物領域(B) 2 1 3 cがゲート電極2 2 3と重なる部分の長さは0. 1 ~ 0. 3  $\mu$  mとする。

## 【 0 0 8 6 】

駆動回路はシフトレジスタ回路、バッファ回路などのロジック回路やアナログスイッチで形成されるサンプリング回路などで形成される。図6 (B)ではこれらを形成するT F Tを一对のソース・ドレイン間に一つのゲート電極を設けたシングルゲートの構造で示したが、複数のゲート電極を一对のソース・ドレイン間に設けたマルチゲート構造としても差し支えない。

## 【 0 0 8 7 】

画素T F T 2 0 4には、第2のテーパ形状を有する導電層がゲート電極2 2 4としての機能を有し、島状半導体層1 0 8にチャネル形成領域2 1 4 a、2 1 4 b、ソース領域またはドレイン領域として機能する第1の不純物領域2 1 5 a、2 1 7、ゲート電極2 2 4と重ならないL D D領域を形成する第2の不純物領

域 (A) 2 1 5 b、一部がゲート電極 2 2 4 と重なる L D D 領域を形成する第 2 の不純物領域 (B) 2 1 5 c を有する構造となっている。第 2 の不純物領域 (B) 2 1 3 c がゲート電極 2 2 4 と重なる部分の長さは 0. 1 ~ 0. 3  $\mu$  m とする。また、第 1 の不純物領域 2 1 7 から延在し、第 2 の不純物領域 (A) 2 1 9 b、第 2 の不純物領域 (B) 2 1 9 c、導電型を決定する不純物元素が添加されていない領域 2 1 8 を有する半導体層と、第 3 の形状を有するゲート絶縁膜と同層で形成される絶縁層と、第 2 のテーパ形状を有する導電層から形成される容量配線 2 2 5 から保持容量が形成されている。

## 【 0 0 8 8 】

図 1 2 は画素部のほぼ一画素分を示す上面図である。図中に示す A - A' 断面が図 6 (B) に示す画素部の断面図に対応している。画素 T F T 2 0 4 は、ゲート電極 2 2 4 は図示されていないゲート絶縁膜を介してその下の島状半導体層 1 0 8 と交差し、さらに複数の島状半導体層に跨って延在してゲート配線を兼ねている。図示はしていないが、島状半導体層には、図 6 (B) で説明したソース領域、ドレイン領域、L D D 領域が形成されている。また、2 3 0 はソース配線 1 6 4 とソース領域 2 1 5 a とのコンタクト部、2 3 1 は画素電極 1 6 9 とドレイン領域 2 2 7 とのコンタクト部である。保持容量 2 0 5 は、画素 T F T 2 0 4 のドレイン領域 2 2 7 から延在する半導体層とゲート絶縁膜を介して容量配線 2 2 5 が重なる領域で形成されている。この構成において半導体層 2 1 8 には、価電子制御を目的とした不純物元素は添加されていない。

## 【 0 0 8 9 】

以上の様な構成は、画素 T F T および駆動回路が要求する仕様に応じて各回路を構成する T F T の構造を最適化し、半導体装置の動作性能と信頼性を向上させることを可能としている。さらにゲート電極を耐熱性を有する導電性材料で形成することにより L D D 領域やソース領域およびドレイン領域の活性化を容易としている。さらに、ゲート電極にゲート絶縁膜を介して重なる L D D 領域を形成する際に、導電型を制御する目的で添加した不純物元素に濃度勾配を持たせて L D D 領域を形成することで、特にドレイン領域近傍における電界緩和効果が高まることが期待できる。

## 【 0 0 9 0 】

アクティブマトリクス型の液晶表示装置の場合、第 1 の p チャンネル型 T F T 2 0 0 と第 1 の n チャンネル型 T F T 2 0 1 は高速動作を重視するシフトレジスタ回路、バッファ回路、レベルシフタ回路などを形成するのに用いる。図 6 ( B ) ではこれらの回路をロジック回路部として表している。第 1 の n チャンネル型 T F T 2 0 1 の第 2 の不純物領域 ( B ) 2 0 9 c はホットキャリア対策を重視した構造となっている。さらに、耐圧を高め動作を安定化させるために、図 1 0 ( A ) で示すようにこのロジック回路部の T F T を第 1 の p チャンネル型 T F T 2 8 0 と第 1 の n チャンネル型 T F T 2 8 1 で形成しても良い。この T F T は、一対のソース・ドレイン間に 2 つのゲート電極を設けたダブルゲート構造であり、このような T F T は本実施例の工程を用いて同様に作製できる。第 1 の p チャンネル型 T F T 2 8 0 には、島状半導体層にチャンネル形成領域 2 3 6 a、2 3 6 b、ソースまたはドレイン領域として機能する第 3 の不純物領域 2 3 8 a、2 3 9 a、2 4 0 a、L D D 領域となる第 4 の不純物領域 ( A ) 2 3 8 b、2 3 9 b、2 4 0 b 及びゲート電極 2 3 7 と一部が重なり L D D 領域となる第 4 の不純物領域 ( B ) 2 3 8 c、2 3 9 c、2 4 0 c を有した構造となっている。第 1 の n チャンネル型 T F T 2 8 1 には、島状半導体層にチャンネル形成領域 2 4 1 a、2 4 1 b、ソースまたはドレイン領域として機能する第 1 の不純物領域 2 4 3 a、2 4 4 a、2 4 5 a と L D D 領域となる第 2 の不純物領域 ( A ) 2 4 3 b、2 4 4 b、2 4 5 b 及びゲート電極 2 4 2 と一部が重なり L D D 領域となる第 2 の不純物領域 ( B ) 2 4 3 c、2 4 4 c、2 4 5 c を有している。チャンネル長は  $3 \sim 7 \mu\text{m}$  として、ゲート電極と重なる L D D 領域を  $L_{ov}$  としてそのチャンネル長方向の長さは  $0.1 \sim 0.3 \mu\text{m}$  とする。

## 【 0 0 9 1 】

また、アナログスイッチで構成するサンプリング回路には、同様な構成とした第 2 の p チャンネル型 T F T 2 0 2 と第 2 の n チャンネル型 T F T 2 0 3 を適用することができる。サンプリング回路はホットキャリア対策と低オフ電流動作が重視されるので、図 1 0 ( B ) で示すようにこの回路の T F T を第 2 の p チャンネル型 T F T 2 8 2 と第 2 の n チャンネル型 T F T 2 8 3 で形成しても良い。この第 2 の

pチャネル型TFT282は、一对のソース・ドレイン間に3つのゲート電極を設けたトリプルゲート構造であり、このよなTFTは本実施例の工程を用いて同様に作製できる。第2のpチャネル型TFT282には、島状半導体層にチャネル形成領域246a、234b、246cソースまたはドレイン領域として機能する第3の不純物領域249a、250a、251a、252a、LDD領域となる第4の不純物領域(A)249b、250b、251b、252b及びゲート電極247と一部が重なりLDD領域となる第4の不純物領域(B)249c、250c、251c、252cを有した構造となっている。第2のnチャネル型TFT283には、島状半導体層にチャネル形成領域253a、253b、ソースまたはドレイン領域として機能する第1の不純物領域255a、256a、257aとLDD領域となる第2の不純物領域(A)255b、256b、257b及びゲート電極254と一部が重なりLDD領域となる第2の不純物領域(B)255c、256c、257cを有している。チャネル長は3～7 $\mu$ mとして、ゲート電極と重なるLDD領域をLovとしてそのチャネル長方向の長さは0.1～0.3 $\mu$ mとする。

## 【0092】

このように、TFTのゲート電極の構成をシングルゲート構造とするか、複数のゲート電極を一对のソース・ドレイン間に設けたマルチゲート構造とするかは、回路の特性に応じて実施者が適宜選択すれば良い。そして、本実施例で完成したアクティブマトリクス基板を用いることで反射型の液晶表示装置を作製することができる。

## 【0093】

## [実施例2]

実施例1ではゲート電極の材料にWやTaなどの耐熱性導電材料を用いる例を示した。このような材料を用いる理由は、ゲート電極形成後に導電型の制御を目的として半導体層に添加した不純物元素を400～700℃の熱アニールによって活性化させる必要があり、その工程を実施する上でゲート電極に耐熱性を持たせる必要があるからである。しかしながら、このような耐熱性導電材料は面積抵抗で10 $\Omega$ 程度あり、画面サイズが4インチクラスかそれ以上の表示装置には必

ずしも適していない。ゲート電極に接続するゲート線を同じ材料で形成すると、基板上における引回し長さが必然的に大きくなり、配線抵抗の影響による配線遅延の問題を無視することができなくなる。

## 【 0 0 9 4 】

例えば、画素密度がVGAの場合、480本のゲート配線と640本のソース線が形成され、XGAの場合には768本のゲート配線と1024本のソース配線が形成される。表示領域の画面サイズは、13インチクラスの場合対角線の長さは340mmとなり、18インチクラスの場合には460mmとなる。本実施例ではこのような液晶表示装置を実現する手段として、ゲート配線をAlや銅(Cu)などの低抵抗導電性材料で形成する方法について図7を用いて説明する。

## 【 0 0 9 5 】

まず、実施例1と同様にして図4(A)～図5(C)に示す工程を行う。そして導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーンেসアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には500～600℃で行うものであり、本実施例では500℃で4時間の熱処理を行う。

## 【 0 0 9 6 】

この熱処理において、第2のテーパ形状を有する導電層140～145は表面から5～80nmの厚さで導電層(C)172a～172fが形成される。例えば、第2のテーパ形状を有する導電層がWの場合には、窒化タングステンが形成され、Taの場合には窒化タンタルが形成される。さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い(図7(A))。

## 【0097】

活性化および水素化処理の後、ゲート線を低抵抗導電材料で形成する。低抵抗導電材料はAlやCuを主成分とするものであり、このような材料から形成される低抵抗導電層からゲート線を形成する。例えば、Tiを0.1～2重量%含むAl膜を低抵抗導電層として全面に形成する（図示せず）。低抵抗導電層は200～400nm（好ましくは250～350nm）の厚さで形成する。そして、所定のレジストパターンを形成し、エッチング処理して、ゲート線173、174を形成する。このとき同じ材料で画素部に設ける保持容量と接続する容量線175も形成する。低抵抗導電層がAlを主成分とする材料である場合には、エッチング処理はリン酸系のエッチング溶液によるウェットエッチングで下地との選択加工性を保ってゲート線を形成することができる。第1の層間絶縁膜176は実施例1と同様にして形成する（図7（B））。

## 【0098】

その後、実施例1と同様にして有機絶縁物材料から成る第2の層間絶縁膜159、ソース線160～164、ドレイン線165～168、画素電極169、171を形成してアクティブマトリクス基板を完成させることができる。図8（A）、（B）はこの状態の上面図を示し、図8（A）のB-B'断面は図7（C）のB-B'に対応し、図8（B）のC-C'断面はC-C'にそれぞれ対応している。図8（A）、（B）ではゲート絶縁膜、第1の層間絶縁膜、第2の層間絶縁膜を省略して示しているが、島状半導体層104、105、108の図示されていないソースおよびドレイン領域にソース線160、161、164とドレイン線165、166、及び画素電極169がコンタクトホールを介して接続している。また、図8（A）のD-D'断面を図9（A）に、図8（B）のE-E'断面を図9（B）にそれぞれ示す。ゲート線173はゲート電極220と、またゲート線174はゲート電極225と島状半導体層104、108の外側で重なるように形成され、ゲート電極と低抵抗導電層とがコンタクトホールを介さずに接触して電氣的に導通している。このようにゲート線を低抵抗導電材料で形成することにより、配線抵抗を十分低減できる。従って、画素部（画面サイズ）が4インチクラス以上の表示装置に適用することができる。

## 【 0 0 9 9 】

## [実施例 3]

実施例 1 で作製したアクティブマトリクス基板はそのまま反射型の表示装置に適用することができる。一方、透過型の液晶表示装置とする場合には画素部の各画素に設ける画素電極を透明電極で形成すれば良い。本実施例では透過型の液晶表示装置に対応するアクティブマトリクス基板の作製方法について図 1 1 を用いて説明する。

## 【 0 1 0 0 】

アクティブマトリクス基板は実施例 1 と同様に作製する。図 1 1 (A) では、ソース配線とドレイン配線は導電性の金属膜をスパッタ法や真空蒸着法で形成する。ドレイン線 2 5 6 を例としてこの構成を図 1 1 (B) で詳細に説明すると、Ti 膜 2 5 6 a を 5 0 ~ 1 5 0 nm の厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成する。その Ti 膜 2 5 6 a 上に重ねて Al 膜 2 5 6 b を 3 0 0 ~ 4 0 0 nm の厚さで形成し、さらに Ti 膜 2 5 6 c または窒化チタン (TiN) 膜を 1 0 0 ~ 2 0 0 nm の厚さで形成して 3 層構造とする。その後、透明導電膜を全面に形成し、フォトリソを用いたパターニング処理およびエッチング処理により画素電極 2 5 7 を形成する。画素電極 2 5 7 は、有機樹脂材料から成る第 2 の層間絶縁膜上に形成され、コンタクトホールを介さずに画素 TFT 2 0 4 のドレイン線 2 5 6 と重なる部分を設け電氣的な接続を形成している。

## 【 0 1 0 1 】

図 1 1 (C) では最初に第 2 の層間絶縁膜上に透明導電膜を形成し、パターニング処理およびエッチング処理をして画素電極 2 5 8 を形成した後、ドレイン線 2 5 9 を画素電極 2 5 8 とコンタクトホールを介さずに接続部を形成した例である。ドレイン線 2 5 9 は、図 1 1 (D) で示すように Ti 膜 2 5 9 a を 5 0 ~ 1 5 0 nm の厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、その Ti 膜 2 5 9 a 上に重ねて Al 膜 2 5 9 b を 3 0 0 ~ 4 0 0 nm の厚さで形成して設ける。この構成にすると、画素電極 2 5 8 はドレイン配線 2 5 9 を形成する Ti 膜 2 5 9 a のみと接触することになる。そ



の結果、透明導電膜材料と A 1 とが直接接し反応するのを確実に防止できる。

#### 【0102】

透明導電膜の材料は、酸化インジウム ( $\text{In}_2\text{O}_3$ ) や酸化インジウム酸化スズ合金 ( $\text{In}_2\text{O}_3-\text{SnO}_2$ ; ITO) などをスパッタ法や真空蒸着法などを用いて形成して用いることができる。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特に ITO のエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金 ( $\text{In}_2\text{O}_3-\text{ZnO}$ ) を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITO に対して熱安定性にも優れているので、図 11 (A)、(B) の構成においてドレイン配線 256 の端面で、A1 膜 256b が画素電極 257 と接触して腐蝕反応をすることを防止できる。同様に、酸化亜鉛 ( $\text{ZnO}$ ) も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム (Ga) を添加した酸化亜鉛 ( $\text{ZnO}:\text{Ga}$ ) などを用いることができる。

#### 【0103】

実施例 1 では反射型の液晶表示装置を作製できるアクティブマトリクス基板を 5 枚のフォトマスクにより作製したが、さらに 1 枚のフォトマスクの追加 (合計 6 枚) で、透過型の液晶表示装置に対応したアクティブマトリクス基板を完成させることができる。本実施例では、実施例 1 と同様な工程として説明したが、このような構成は実施例 2 で示すアクティブマトリクス基板に適用することができる。

#### 【0104】

##### [実施例 4]

本実施例では、実施例 1 ～実施例 3 で示したアクティブマトリクス基板の TFT の活性層を形成する結晶質半導体層の他の作製方法について示す。結晶質半導体層は非晶質半導体層を熱アニール法やレーザーアニール法、または RTA 法などで結晶化させて形成するが、その他に特開平 7-130652 号公報で開示されている触媒元素を用いる結晶化法を適用することもできる。その場合の例を図 13 を用いて説明する。

#### 【0105】

図13 (A) で示すように、実施例1と同様にして、ガラス基板1101上に下地膜1102a、1102b、非晶質構造を有する半導体層1103を25～80nmの厚さで形成する。非晶質半導体層は非晶質シリコン (a-Si) 膜、非晶質シリコン・ゲルマニウム (a-SiGe) 膜、非晶質炭化シリコン (a-SiC) 膜、非晶質シリコン・スズ (a-SiSn) 膜などが適用できる。これらの非晶質半導体層は水素を0.1～40atomic%程度含有するようにして形成すると良い。例えば、非晶質シリコン膜を55nmの厚さで形成する。そして、重量換算で10ppmの触媒元素を含む水溶液をスピナーで基板を回転させて塗布するスピコート法で触媒元素を含有する層1104を形成する。触媒元素にはニッケル (Ni)、ゲルマニウム (Ge)、鉄 (Fe)、パラジウム (Pd)、スズ (Sn)、鉛 (Pb)、コバルト (Co)、白金 (Pt)、銅 (Cu)、金 (Au) などである。この触媒元素を含有する層1104は、スピコート法の他に印刷法やスプレー法、バーコーター法、或いはスパッタ法や真空蒸着法によって上記触媒元素の層を1～5nmの厚さに形成しても良い。

#### 【0106】

そして、図13 (B) に示す結晶化の工程では、まず400～500℃で1時間程度の熱処理を行い、非晶質シリコン膜の含有水素量を5atom%以下にする。非晶質シリコン膜の含有水素量が成膜後において最初からこの値である場合にはこの熱処理は必ずしも必要でない。そして、ファーネスアニール炉を用い、窒素雰囲気中で550～600℃で1～8時間の熱アニールを行う。以上の工程により結晶質シリコン膜から成る結晶質半導体層1105を得ることができる (図13 (C))。しかし、この熱アニールによって作製された結晶質半導体層1105は、光学顕微鏡観察により巨視的に観察すると局所的に非晶質領域が残存していることが観察されることがあり、このような場合、同様にラマン分光法では $480\text{ cm}^{-1}$ にブロードなピークを持つ非晶質成分が観測される。そのため、熱アニールの後に実施例1で説明したレーザーアニール法で結晶質半導体層1105を処理してその結晶性を高めることは有効な手段として適用できる。

#### 【0107】

図17は同様に触媒元素を用いる結晶化法の実施例であり、触媒元素を含有す

る層をスパッタ法により形成するものである。まず、実施例 1 と同様にして、ガラス基板 1 2 0 1 上に下地膜 1 2 0 2 a、1 2 0 2 b、非晶質構造を有する半導体層 1 2 0 3 を 2 5 ~ 8 0 nm の厚さで形成する。そして、非晶質構造を有する半導体層 1 2 0 3 の表面に 0. 5 ~ 5 nm 程度の酸化膜（図示せず）を形成する。このような厚さの酸化膜は、プラズマ C V D 法やスパッタ法などで積極的に該当する被膜を形成しても良いが、1 0 0 ~ 3 0 0 °C に基板を加熱してプラズマ化した酸素雰囲気中に非晶質構造を有する半導体層 1 2 0 3 の表面を晒しても良いし、過酸化水素水（ $\text{H}_2\text{O}_2$ ）を含む溶液に非晶質構造を有する半導体層 1 2 0 3 の表面を晒して形成しても良い。或いは、酸素を含む雰囲気中で紫外線光を照射してオゾンが発生させ、そのオゾン雰囲気中に非晶質構造を有する半導体層 1 2 0 3 を晒すことによっても形成できる。

## 【0 1 0 8】

このようにして表面に薄い酸化膜を有する非晶質構造を有する半導体層 1 2 0 3 上に前記触媒元素を含有する層 1 2 0 4 をスパッタ法で形成する。この層の厚さに限定はないが、1 0 ~ 1 0 0 nm 程度の厚さに形成すれば良い。例えば、Ni をターゲットとして、Ni 膜を形成することは有効な方法である。スパッタ法では、電界で加速された前記触媒元素から成る高エネルギー粒子の一部が基板側にも飛来し、非晶質構造を有する半導体層 1 2 0 3 の表面近傍、または該半導体層表面に形成した酸化膜中に打ち込まれる。その割合はプラズマ生成条件や基板のバイアス状態によって異なるものであるが、好適には非晶質構造を有する半導体層 1 2 0 3 の表面近傍や該酸化膜中に打ち込まれる触媒元素の量を  $1 \times 10^{11} \sim 1 \times 10^{14} \text{atoms/cm}^2$  程度となるようにすると良い。

## 【0 1 0 9】

その後、触媒元素を含有する層 1 2 0 4 を選択的に除去する。例えば、この層が Ni 膜で形成されている場合には、硝酸などの溶液で除去することが可能であり、または、フッ酸を含む水溶液で処理すれば Ni 膜と非晶質構造を有する半導体層 1 2 0 3 上に形成した酸化膜を同時に除去できる。いずれにしても、非晶質構造を有する半導体層 1 2 0 3 の表面近傍の触媒元素の量を  $1 \times 10^{11} \sim 1 \times 10^{14} \text{atoms/cm}^2$  程度となるようにしておく。そして、図 1 7 (B) で示すように

、図 1 3 (B) と同様にして熱アニールによる結晶化の工程を行い、結晶質半導体層 1 2 0 5 を得ることができる (図 1 7 (C))。

#### 【0 1 1 0】

図 1 3 または図 1 7 で作製された結晶質半導体層 1 1 0 5、1 2 0 5 から島状半導体層 1 0 4 ~ 1 0 8 を作製すれば、実施例 1 と同様にしてアクティブマトリクス基板を完成させることができる。しかし、結晶化の工程においてシリコンの結晶化を助長する触媒元素を使用した場合、島状半導体層中には微量 ( $1 \times 10^{17} \sim 1 \times 10^{19} \text{ atoms/cm}^3$  程度) の触媒元素が残留する。勿論、そのような状態でも T F T を完成させることが可能であるが、残留する触媒元素を少なくともチャネル形成領域から除去する方がより好ましかった。この触媒元素を除去する手段の一つにリン (P) によるゲッタリング作用を利用する手段がある。

#### 【0 1 1 1】

この目的におけるリン (P) によるゲッタリング処理は、図 6 (A) で説明した活性化工程で同時に行うことができる。この様子を図 1 4 で説明する。ゲッタリングに必要なリン (P) の濃度は高濃度 n 型不純物領域の不純物濃度と同程度でよく、活性化工程の熱アニールにより、n チャネル型 T F T および p チャネル型 T F T のチャネル形成領域から触媒元素をその濃度でリン (P) を含有する不純物領域へ偏析させることができる (図 1 4 で示す矢印の方向)。その結果その不純物領域には  $1 \times 10^{17} \sim 1 \times 10^{19} \text{ atoms/cm}^3$  程度の触媒元素が偏析した。このようにして作製した T F T はオフ電流値が下がり、結晶性が良いことから高い電界効果移動度を得られ、良好な特性を達成することができる。

#### 【0 1 1 2】

##### [実施例 5]

本実施例では実施例 1 で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。まず、図 1 5 (A) に示すように、図 6 (B) の状態のアクティブマトリクス基板に柱状スペーサから成るスペーサを形成する。スペーサは数  $\mu \text{ m}$  の粒子を散布して設ける方法でも良いが、ここでは基板全面に樹脂膜を形成した後これをパターニングして形成する方法を採用した。このようなスペーサの材料に限定はないが、例えば、J S R 社製

のNN700を用い、スピナーで塗布した後、露光と現像処理によって所定のパターンに形成する。さらにクリーンオープンなどで150～200℃で加熱して硬化させる。このようにして作製されるスペーサは露光と現像処理の条件によって形状を異ならせることができるが、好ましくは、スペーサの形状は柱状で頂部が平坦な形状となるようにすると、対向側の基板を合わせたときに液晶表示パネルとしての機械的な強度を確保することができる。形状は円錐状、角錐状など特別の限定はないが、例えば円錐状としたときに具体的には、高さを1.2～5  $\mu$ mとし、平均半径を5～7  $\mu$ m、平均半径と底部の半径との比を1対1.5とする。このとき側面のテーパ角は±15°以下とする。

#### 【0113】

スペーサの配置は任意に決定すれば良いが、好ましくは、図15(A)で示すように、画素部においては画素電極169のコンタクト部231と重ねてその部分を覆うように柱状スペーサ406を形成すると良い。コンタクト部231は平坦性が損なわれこの部分では液晶がうまく配向しなくなるので、このようにしてコンタクト部231にスペーサ用の樹脂を充填する形で柱状スペーサ406を形成することでディスクリネーションなどを防止することができる。また、駆動回路のTFT上にもスペーサ405a～405eを形成しておく。このスペーサは駆動回路部の全面に渡って形成しても良いし、図15で示すようにソース線およびドレイン線を覆うようにして設けても良い。

#### 【0114】

その後、配向膜407を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂を用る。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。画素部に設けた柱状スペーサ406の端部からラビング方向に対してラビングされない領域が2  $\mu$ m以下となるようにした。また、ラビング処理では静電気の発生がしばしば問題となるが、駆動回路のTFT上に形成したスペーサ405a～405eにより静電気からTFTを保護する効果を得ることができる。また図では説明しないが、配向膜407を先に形成してから、スペーサ406、405a～405eを形成した構成としても良い。

## 【 0 1 1 5 】

対向側の対向基板 4 0 1 には、遮光膜 4 0 2、透明導電膜 4 0 3 および配向膜 4 0 4 を形成する。遮光膜 4 0 2 は T i 膜、C r 膜、A l 膜などを 1 5 0 ～ 3 0 0 nm の厚さで形成する。そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤 4 0 8 で貼り合わせる。シール剤 4 0 8 にはフィラー（図示せず）が混入されていて、このフィラーとスペーサ 4 0 6、4 0 5 a ～ 4 0 5 e によって均一な間隔を持って 2 枚の基板が貼り合わせられる。その後、両基板の間に液晶材料 4 0 9 を注入する。液晶材料には公知の液晶材料を用いれば良い。例えば、T N 液晶の他に、電場に対して透過率が連続的に変化する電気光学応答性を示す、無しきい値反強誘電性混合液晶を用いることもできる。この無しきい値反強誘電性混合液晶には、V 字型の電気光学応答特性を示すものもある。このようにして図 1 5 （B）に示すアクティブマトリクス型液晶表示装置が完成する。

## 【 0 1 1 6 】

図 1 5 において画素部において設けた柱状スペーサ 4 0 6 は、すべての画素に対して設けても良いが、マトリクス状に配列した画素の数個から数十個おきに設けても良い。即ち、画素部を構成する画素の全数に対するスペーサの数の割合は 2 0 ～ 1 0 0 % とすることが可能である。また、駆動回路部に設けるスペーサ 4 0 5 a ～ 4 0 5 e はその全面を覆うように設けても良いし各 T F T のソースおよびドレイン配線の位置にあわせて設けても良い。

## 【 0 1 1 7 】

このようなアクティブマトリクス型液晶表示装置の構成を図 1 6 の斜視図を用いて説明する。図 1 6 においてアクティブマトリクス基板は、ガラス基板 1 0 1 上に形成された、画素部 6 0 4 と、走査信号駆動回路 6 0 5 と、画像信号駆動回路 6 0 6 とその他の信号処理回路 6 0 7 とで構成される。画素部 6 0 4 には画素 T F T 2 0 4 と保持容量 2 0 5 が設けられ、画素部の周辺に設けられる駆動回路は C M O S 回路を基本として構成されている。走査信号駆動回路 6 0 5 と画像信号駆動回路 6 0 6 からは、それぞれゲート線（ゲート電極と連続して形成されている場合は図 6 （B）の 2 2 4 に相当する）とソース線 1 6 4 が画素部 6 0 4 に

延在し、画素 T F T 2 0 4 に接続している。また、フレキシブルプリント配線板 (Flexible Printed Circuit : F P C) 6 1 3 が外部入力端子 6 0 2 に接続して、画像信号などを入力するのに用いる。F P C 6 1 3 は補強樹脂 6 1 4 によって強固に接着されている。そして接続配線 6 0 3 でそれぞれの駆動回路に接続している。また、対向基板 4 0 1 には図示していない、遮光膜や透明電極が設けられている。

## 【 0 1 1 8 】

このような構成の液晶表示装置は、実施例 1 ～ 3 で示したアクティブマトリクス基板を用いて形成することができる。実施例 1 で示すアクティブマトリクス基板を用いれば反射型の液晶表示装置が得られ、実施例 3 で示すアクティブマトリクス基板を用いると透過型の液晶表示装置を得ることができる。

## 【 0 1 1 9 】

## [実施例 6]

本実施例では、実施例 1 のアクティブマトリクス基板を用いてエレクトロルミネッセンス (E L : Electro Luminescence) 材料を用いた自発光型の表示パネル (以下、E L 表示装置と記す) を作製する例について説明する。図 1 8 (A) は本発明を用いた E L 表示パネルの上面図である。図 1 8 (A) において、1 0 は基板、1 1 は画素部、1 2 はソース側駆動回路、1 3 はゲート側駆動回路であり、それぞれの駆動回路は配線 1 4 ～ 1 6 を経て F P C 1 7 に至り、外部機器へと接続される。

## 【 0 1 2 0 】

図 1 8 (B) は図 1 8 (A) の A - A' 断面を表す図であり、このとき少なくとも画素部上、好ましくは駆動回路及び画素部上に対向板 8 0 を設ける。対向板 8 0 はシール材 1 9 で T F T と E L 層が形成されているアクティブマトリクス基板と貼り合わされている。シール剤 1 9 にはフィラー (図示せず) が混入されていて、このフィラーによりほぼ均一な間隔を持って 2 枚の基板が貼り合わせられている。さらに、シール材 1 9 の外側と F P C 1 7 の上面及び周辺は封止剤 8 1 で密封する構造とする。封止剤 8 1 はシリコーン樹脂、エポキシ樹脂、フェノール樹脂、ブチルゴムなどの材料を用いる。

## 【 0 1 2 1 】

このように、シール剤 1 9 によりアクティブマトリクス基板 1 0 と対向基板 8 0 とが貼り合わされると、その間には空間が形成される。その空間には充填剤 8 3 が充填される。この充填剤 8 3 は対向板 8 0 を接着する効果も合わせ持つ。充填剤 8 3 は P V C (ポリビニルクロライド)、エポキシ樹脂、シリコーン樹脂、P V B (ポリビニルブチラル) または E V A (エチレンビニルアセテート) などを用いることができる。また、E L 層は水分をはじめ湿気に弱く劣化しやすいので、この充填剤 8 3 の内部に酸化バリウムなどの乾燥剤を混入させておくと吸湿効果を保持できるので望ましい。また、E L 層上に窒化シリコン膜や酸化窒化シリコン膜などで形成するパッシベーション膜 8 2 を形成し、充填剤 8 3 に含まれるアルカリ元素などによる腐蝕を防ぐ構造としていある。

## 【 0 1 2 2 】

対向板 8 0 にはガラス板、アルミニウム板、ステンレス板、F R P (Fiberglass-Reinforced Plastics) 板、P V F (ポリビニルフルオライド) フィルム、マイラーフィルム (デュポン社の商品名)、ポリエステルフィルム、アクリルフィルムまたはアクリル板などを用いることができる。また、数十  $\mu$  m のアルミニウム箔を P V F フィルムやマイラーフィルムで挟んだ構造のシートを用い、耐湿性を高めることもできる。このようにして、E L 素子は密閉された状態となり外気から遮断されている。

## 【 0 1 2 3 】

また、図 1 8 (B) において基板 1 0、下地膜 2 1 の上に駆動回路用 T F T (但し、ここでは n チャネル型 T F T と p チャネル型 T F T を組み合わせた C M O S 回路を図示している。) 2 2 及び画素部用 T F T 2 3 (但し、ここでは E L 素子への電流を制御する T F T だけ図示している。) が形成されている。これらの T F T の内特に n チャネル型 T F T にははホットキャリア効果によるオン電流の低下や、 $V_{th}$  シフトやバイアスストレスによる特性低下を防ぐため、本実施形態で示す構成の L D D 領域が設けられている。

## 【 0 1 2 4 】

例えば、駆動回路用 T F T 2 2 とし、図 6 (B) に示す p チャネル型 T F T 2



0 0、2 0 2 と n チャンネル型 T F T 2 0 1、2 0 3 を用いれば良い。また、画素部用 T F T 2 3 には図 6 ( B ) に示す画素 T F T 2 0 4 またはそれと同様な構造を有する p チャンネル型 T F T を用いれば良い。

#### 【 0 1 2 5 】

図 6 ( B ) または図 7 ( B ) の状態のアクティブマトリクス基板から E L 表示装置を作製するには、ソース線、ドレイン線上に樹脂材料でなる層間絶縁膜（平坦化膜）2 6 を形成し、その上に画素部用 T F T 2 3 のドレインと電氣的に接続する透明導電膜でなる画素電極 2 7 を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物（I T O と呼ばれる）または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極 2 7 を形成したら、絶縁膜 2 8 を形成し、画素電極 2 7 上に開口部を形成する。

#### 【 0 1 2 6 】

次に、E L 層 2 9 を形成する。E L 層 2 9 は公知の E L 材料（正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層）を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、E L 材料には低分子系材料と高分子系（ポリマー系）材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

#### 【 0 1 2 7 】

E L 層はシャドーマスクを用いて蒸着法、またはインクジェット法、ディスペンサー法などで形成する。いずれにしても、画素毎に波長の異なる発光が可能な発光層（赤色発光層、緑色発光層及び青色発光層）を形成することで、カラー表示が可能となる。その他にも、色変換層（C C M）とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光の E L 表示装置とすることもできる。

#### 【 0 1 2 8 】

E L 層 2 9 を形成したら、その上に陰極 3 0 を形成する。陰極 3 0 と E L 層 2 9 の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真

空中でE L層29と陰極30を連続して形成するか、E L層29を不活性雰囲気  
で形成し、大気解放しないで真空中で陰極30を形成するといった工夫が必要で  
ある。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置  
を用いることで上述のような成膜を可能とする。

## 【0129】

なお、本実施例では陰極30として、L i F（フッ化リチウム）膜とA l（ア  
ルミニウム）膜の積層構造を用いる。具体的にはE L層29上に蒸着法で1nm厚  
のL i F（フッ化リチウム）膜を形成し、その上に300nm厚のアルミニウム膜  
を形成する。勿論、公知の陰極材料であるM g A g電極を用いても良い。そして  
陰極30は31で示される領域において配線16に接続される。配線16は陰極  
30に所定の電圧を与えるための電源供給線であり、異方性導電性ペースト材料  
32を介してF P C 17に接続される。F P C 17上にはさらに樹脂層80が形  
成され、この部分の接着強度を高めている。

## 【0130】

31に示された領域において陰極30と配線16とを電氣的に接続するために  
、層間絶縁膜26及び絶縁膜28にコンタクトホールを形成する必要がある。こ  
れらは層間絶縁膜26のエッチング時（画素電極用コンタクトホールの形成時）  
や絶縁膜28のエッチング時（E L層形成前の開口部の形成時）に形成しておけ  
ば良い。また、絶縁膜28をエッチングする際に、層間絶縁膜26まで一括でエ  
ッチングしても良い。この場合、層間絶縁膜26と絶縁膜28が同じ樹脂材料で  
あれば、コンタクトホールの形状を良好なものとすることができる。

## 【0131】

また、配線16はシーリル19と基板10との間を隙間（但し封止剤81で塞  
がれている。）を通してF P C 17に電氣的に接続される。なお、ここでは配線  
16について説明したが、他の配線14、15も同様にしてシーリング材18の  
下を通してF P C 17に電氣的に接続される。

## 【0132】

ここで画素部のさらに詳細な断面構造を図19に示す。図19（A）において  
、基板2401上に設けられたスイッチング用T F T 2402は実施例1の図6

(B) の画素 T F T 2 0 4 と同じ構造で形成される。ダブルゲート構造とすることで実質的に二つの T F T が直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているがトリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも良い。

## 【 0 1 3 3 】

また、電流制御用 T F T 2 4 0 3 は図 6 (B) で示す n チャンネル型 T F T 2 0 1 を用いて形成する。このとき、スイッチング用 T F T 2 4 0 2 のドレイン線 3 5 は配線 3 6 によって電流制御用 T F T のゲート電極 3 7 に電氣的に接続されている。また、3 8 で示される配線は、スイッチング用 T F T 2 4 0 2 のゲート電極 3 9 a、3 9 b を電氣的に接続するゲート線である。

## 【 0 1 3 4 】

このとき、電流制御用 T F T 2 4 0 3 が本発明の構造であることは非常に重要な意味を持つ。電流制御用 T F T は E L 素子を流れる電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用 T F T にゲート電極と一部が重なる L D D 領域を設けることで T F T の劣化を防ぎ、動作の安定性を高めることができる。

## 【 0 1 3 5 】

また、本実施例では電流制御用 T F T 2 4 0 3 をシングルゲート構造で図示しているが、複数の T F T を直列につなげたマルチゲート構造としても良い。さらに、複数の T F T を並列につなげて実質的にチャンネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

## 【 0 1 3 6 】

スイッチング用 T F T 2 4 0 2 及び電流制御用 T F T 2 4 0 3 の上には第 1 パッシベーション膜 4 1 が設けられ、その上に樹脂絶縁膜でなる平坦化膜 4 2 が形成される。平坦化膜 4 2 を用いて T F T による段差を平坦化することは非常に重要である。後に形成される E L 層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、E L 層をできるだけ平坦面に形成しう

るように画素電極を形成する前に平坦化しておくことが望ましい。

【0137】

また、43は反射性の高い導電膜でなる画素電極（EL素子の陰極）であり、電流制御用TFT2403のドレインに電氣的に接続される。画素電極43としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。また、絶縁膜（好ましくは樹脂）で形成されたバンク44a、44bにより形成された溝（画素に相当する）の中に発光層44が形成される。なお、ここでは一画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としては $\pi$ 共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（PPV）系、ポリビニルカルbazool（PVK）系、ポリフルオレン系などが挙げられる。なお、PPV系有機EL材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p. 33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

【0138】

具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30～150nm（好ましくは40～100nm）とすれば良い。但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

## 【 0 1 3 9 】

本実施例では発光層 4 5 の上に P E D O T (ポリチオフェン) または P A n i (ポリアニリン) でなる正孔注入層 4 6 を設けた積層構造の E L 層としている。そして、正孔注入層 4 6 の上には透明導電膜でなる陽極 4 7 が設けられる。本実施例の場合、発光層 4 5 で生成された光は上面側に向かって (T F T の上方に向かって) 放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

## 【 0 1 4 0 】

陽極 4 7 まで形成された時点で E L 素子 2 4 0 5 が完成する。なお、ここでいう E L 素子 2 4 0 5 は、画素電極 (陰極) 4 3、発光層 4 5、正孔注入層 4 6 及び陽極 4 7 で形成されたコンデンサを指す。

## 【 0 1 4 1 】

ところで、本実施例では、陽極 4 7 の上にさらに第 2 パッシベーション膜 4 8 を設けている。第 2 パッシベーション膜 4 8 としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部と E L 素子とを遮断することであり、有機 E L 材料の酸化による劣化を防ぐ意味と、有機 E L 材料からの脱ガスを抑える意味との両方を併せ持つ。これにより E L 表示装置の信頼性が高められる。

## 【 0 1 4 2 】

以上のように本願発明の E L 表示パネルは、オフ電流値の十分に低いスイッチング用 T F T と、ホットキャリア注入に強い電流制御用 T F T とを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能な E L 表示パネルが得られる。

## 【 0 1 4 3 】

図 1 9 (B) は E L 層の構造を反転させた例を示す。電流制御用 T F T 2 6 0 1 は図 6 (B) の p チャネル型 T F T 2 0 0 を用いて形成される。作製プロセスは実施例 1 を参照すれば良い。本実施例では、画素電極 (陽極) 5 0 として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜

を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

#### 【0144】

そして、絶縁膜でなるバンク 5 1 a、5 1 b が形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層 5 2 が形成される。その上にはカリウムアセチルアセトネート（a c a c K と表記される）でなる電子注入層 5 3、アルミニウム合金でなる陰極 5 4 が形成される。この場合、陰極 5 4 がパッシベーション膜としても機能する。こうして E L 素子 2 6 0 2 が形成される。本実施例の場合、発光層 5 3 で発生した光は、矢印で示されるように T F T が形成された基板の方に向かって放射される。本実施例のような構造とする場合、電流制御用 T F T 2 6 0 1 は p チャネル型 T F T で形成することが好ましい。

#### 【0145】

尚、本実施例の構成は、実施例 1 ～ 2 に示した T F T の構成を自由に組み合わせて実施することが可能である。

#### 【0146】

##### 〔実施例 7〕

本願発明を実施して形成された C M O S 回路や画素部は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型 E L ディスプレイ、アクティブマトリクス型 E C ディスプレイ）に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本願発明を実施できる。

#### 【0147】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 2 0、図 2 1、及び図 2 2 に示す。

#### 【0148】

図 2 0（A）はパーソナルコンピュータであり、本体 2 0 0 1、画像入力部 2

0 0 2、表示部 2 0 0 3、キーボード 2 0 0 4 等を含む。本発明を画像入力部 2 0 0 2、表示部 2 0 0 3 やその他の信号制御回路に適用することができる。

【0 1 4 9】

図 2 0 (B) はビデオカメラであり、本体 2 1 0 1、表示部 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 等を含む。本発明を表示部 2 1 0 2 やその他の信号制御回路に適用することができる。

【0 1 5 0】

図 2 0 (C) はモバイルコンピュータ (モービルコンピュータ) であり、本体 2 2 0 1、カメラ部 2 2 0 2、受像部 2 2 0 3、操作スイッチ 2 2 0 4、表示部 2 2 0 5 等を含む。本発明は表示部 2 2 0 5 やその他の信号制御回路に適用できる。

【0 1 5 1】

図 2 0 (D) は頭部取り付け型の E L ディスプレイの一部 (右片側) であり、本体 2 3 0 1、信号ケーブル 2 3 0 2、頭部固定バンド 2 3 0 3、表示部 2 3 0 4、光学系 2 3 0 5、表示装置 2 3 0 6 等を含む。本願発明は表示装置 2 3 0 6 に用いることができる。

【0 1 5 2】

図 2 0 (E) はプログラムを記録した記録媒体 (以下、記録媒体と呼ぶ) を用いるプレーヤーであり、本体 2 4 0 1、表示部 2 4 0 2、スピーカ部 2 4 0 3、記録媒体 2 4 0 4、操作スイッチ 2 4 0 5 等を含む。なお、このプレーヤーは記録媒体として DVD (D i g t i a l V e r s a t i l e D i s c)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部 2 4 0 2 やその他の信号制御回路に適用することができる。

【0 1 5 3】

図 2 0 (F) はデジタルカメラであり、本体 2 5 0 1、表示部 2 5 0 2、接眼部 2 5 0 3、操作スイッチ 2 5 0 4、受像部 (図示しない) 等を含む。本願発明を表示部 2 5 0 2 やその他の信号制御回路に適用することができる。

【0 1 5 4】

図 2 1 (A) はフロント型プロジェクターであり、投射装置 2 6 0 1、スクリーン 2 6 0 2 等を含む。本発明は投射装置 2 6 0 1 の一部を構成する液晶表示装置 2 8 0 8 やその他の信号制御回路に適用することができる。

## 【 0 1 5 5 】

図 2 1 (B) はリア型プロジェクターであり、本体 2 7 0 1、投射装置 2 7 0 2、ミラー 2 7 0 3、スクリーン 2 7 0 4 等を含む。本発明は投射装置 2 7 0 2 の一部を構成する液晶表示装置 2 8 0 8 やその他の信号制御回路に適用することができる。

## 【 0 1 5 6 】

なお、図 2 1 (C) は、図 2 1 (A) 及び図 2 1 (B) 中における投射装置 2 6 0 1、2 7 0 2 の構造の一例を示した図である。投射装置 2 6 0 1、2 7 0 2 は、光源光学系 2 8 0 1、ミラー 2 8 0 2、2 8 0 4 ~ 2 8 0 6、ダイクロイックミラー 2 8 0 3、プリズム 2 8 0 7、液晶表示装置 2 8 0 8、位相差板 2 8 0 9、投射光学系 2 8 1 0 で構成される。投射光学系 2 8 1 0 は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図 2 1 (C) 中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、I R フィルム等の光学系を設けてもよい。

## 【 0 1 5 7 】

また、図 2 1 (D) は、図 2 1 (C) 中における光源光学系 2 8 0 1 の構造の一例を示した図である。本実施例では、光源光学系 2 8 0 1 は、リフレクター 2 8 1 1、光源 2 8 1 2、レンズアレイ 2 8 1 3、2 8 1 4、偏光変換素子 2 8 1 5、集光レンズ 2 8 1 6 で構成される。なお、図 2 1 (D) に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、I R フィルム等の光学系を設けてもよい。

## 【 0 1 5 8 】

ただし、図 2 1 に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及び E L 表示装置での適用例は



図示していない。

【0159】

図22(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906等を含む。本願発明を音声出力部2902、音声入力部2903、表示部2904やその他の信号制御回路に適用することができる。

【0160】

図22(B)は携帯書籍(電子書籍)であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本発明は表示部3002、3003やその他の信号回路に適用することができる。

【0161】

図22(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

【0162】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～6のどのような組み合わせからなる構成を用いても実現することができる。

【0163】

【発明の効果】

本発明により、添加される大気成分(C、N、O)の濃度を抑えつつ、微量な量( $1 \times 10^{15} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ )の不純物元素、代表的にはボロンをドーピングすることができるため、所望のしきい値を得ることができる。また、本発明はイオンドーピング装置を用い、短時間でドーピングを行うためスループットが高い。

【図面の簡単な説明】

【図1】 80kV、5%水素希釈Bによる濃度プロファイル(C、B、H)

を示す図である。

【図 2】 8 0 k V、5 % 水素希釈 B による濃度プロファイル (N、B、H) を示す図である。

【図 3】 8 0 k V、5 % 水素希釈 B による濃度プロファイル (O、B、H) を示す図である。

【図 4】 アクティブマトリクス基板の作製工程を示す図。(実施例 1)

【図 5】 アクティブマトリクス基板の作製工程を示す図。(実施例 1)

【図 6】 アクティブマトリクス基板の作製工程を示す図。(実施例 1)

【図 7】 アクティブマトリクス基板の作製工程を示す図。(実施例 2)

【図 8】 アクティブマトリクス基板の作製工程における上面を示す図。

【図 9】 アクティブマトリクス基板の作製工程における断面構造を示す図。

【図 1 0】 アクティブマトリクス基板の断面構造を示す図。(実施例 1)

【図 1 1】 アクティブマトリクス基板の断面構造を示す図。

【図 1 2】 画素上面図を示す図。

【図 1 3】 アクティブマトリクス基板の作製工程を示す図。

【図 1 4】 アクティブマトリクス基板の作製工程を示す図。

【図 1 5】 アクティブマトリクス型液晶表示装置の断面構造図。

【図 1 6】 AM-LCD の外観を示す図。

【図 1 7】 アクティブマトリクス基板の作製工程を示す図。

【図 1 8】 アクティブマトリクス型 EL 表示装置の構成を示す図。

【図 1 9】 アクティブマトリクス型 EL 表示装置の断面構造図。

【図 2 0】 電子機器の一例を示す図。

【図 2 1】 電子機器の一例を示す図。

【図 2 2】 電子機器の一例を示す図。

【図 2 3】 8 0 k V、0. 1 % 水素希釈 B による濃度プロファイル (C、B、H) を示す図である。

【図 2 4】 8 0 k V、0. 1 % 水素希釈 B による濃度プロファイル (N、B、H) を示す図である。

【図 2 5】 8 0 k V、0. 1 % 水素希釈 B による濃度プロファイル (O、B、

H) を示す図である。

【図 26】 リファレンスの濃度プロファイル (H) を示す図である。

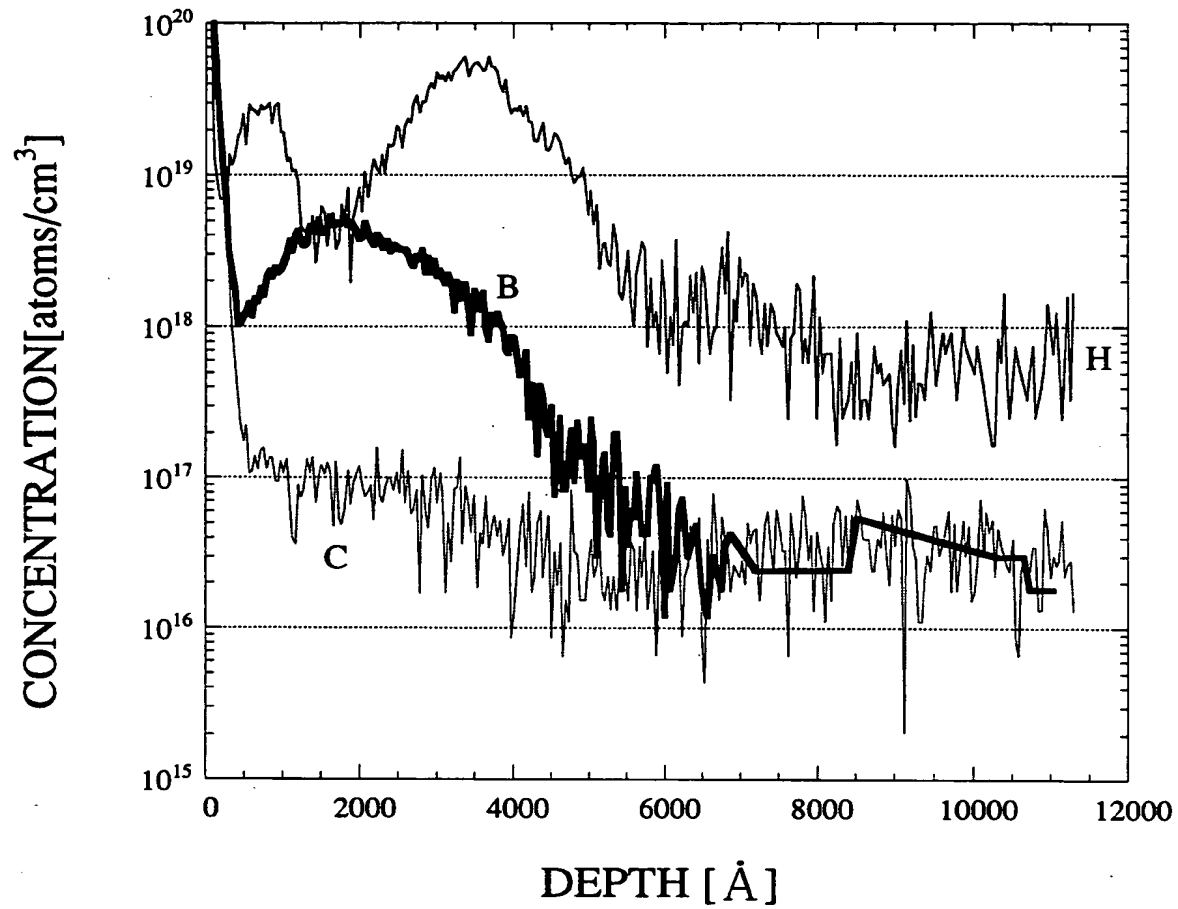
【図 27】 リファレンスの濃度プロファイル (C) を示す図である。

【図 28】 リファレンスの濃度プロファイル (N、O) を示す図である。

【図 29】 30 kV、5%水素希釈 B による濃度プロファイル (B) をガウス関数によりフィッティングした図である。

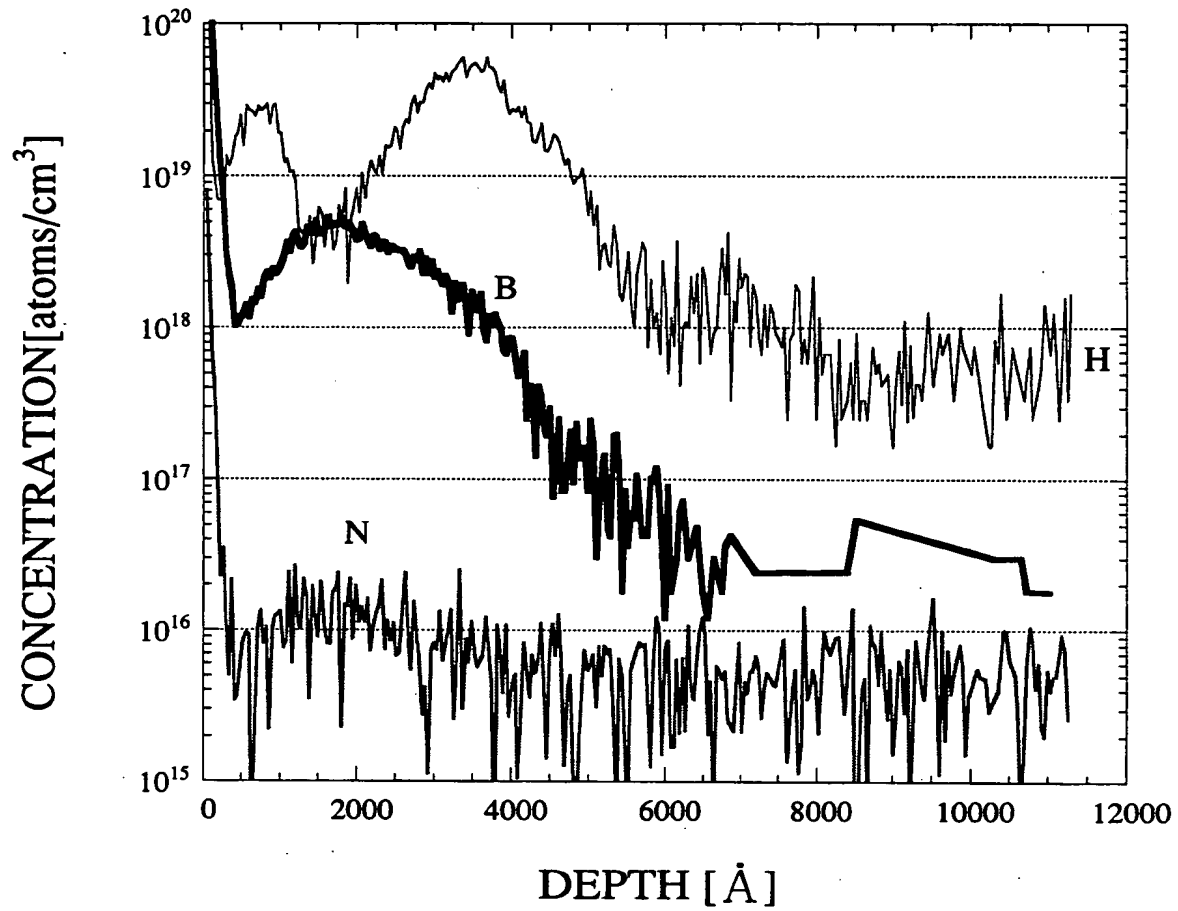
【書類名】 図面

【図 1】



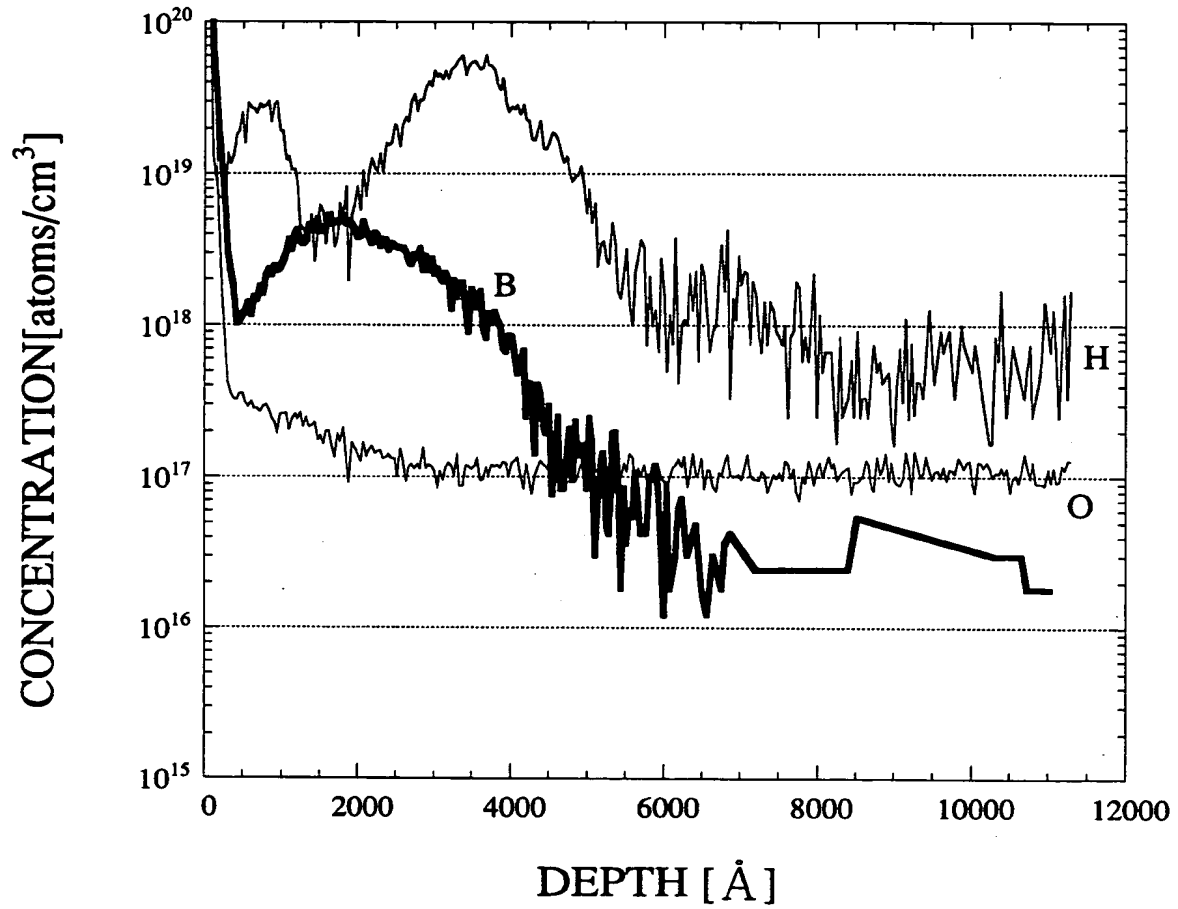
5%水素希釈 B 80kV 注入時の大気成分SIMS分析結果

【図 2】



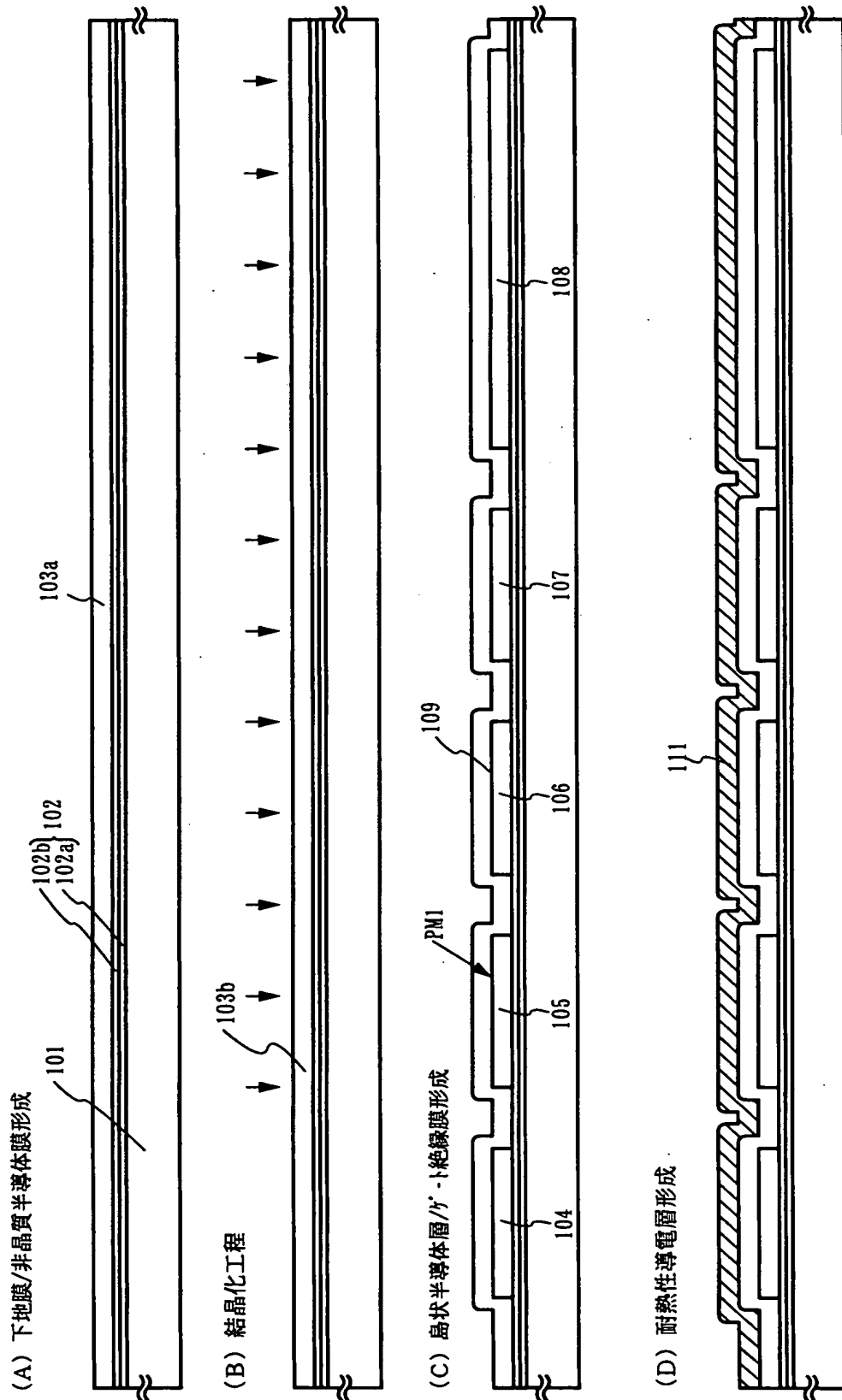
5%水素希釈 B 80kV 注入時の大気成分SIMS分析結果

【図 3】

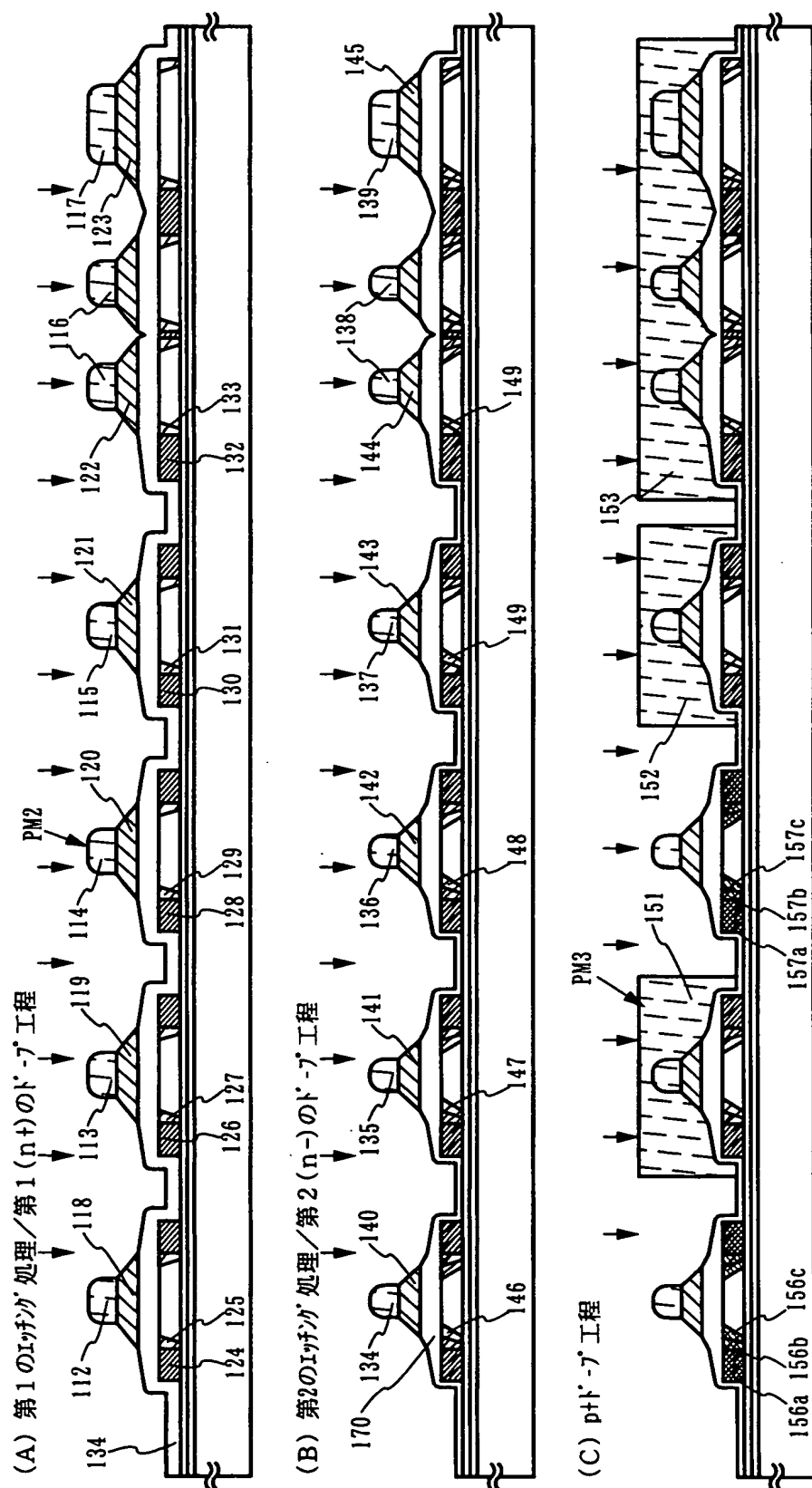


5%水素希釈 B 80kV 注入時の大気成分SIMS分析結果

【図 4】



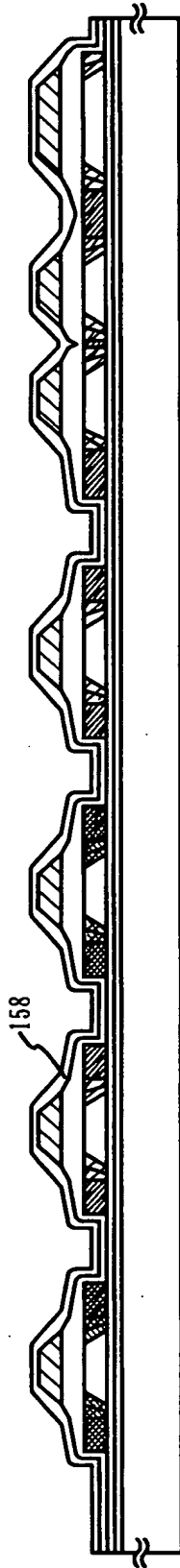
【図5】



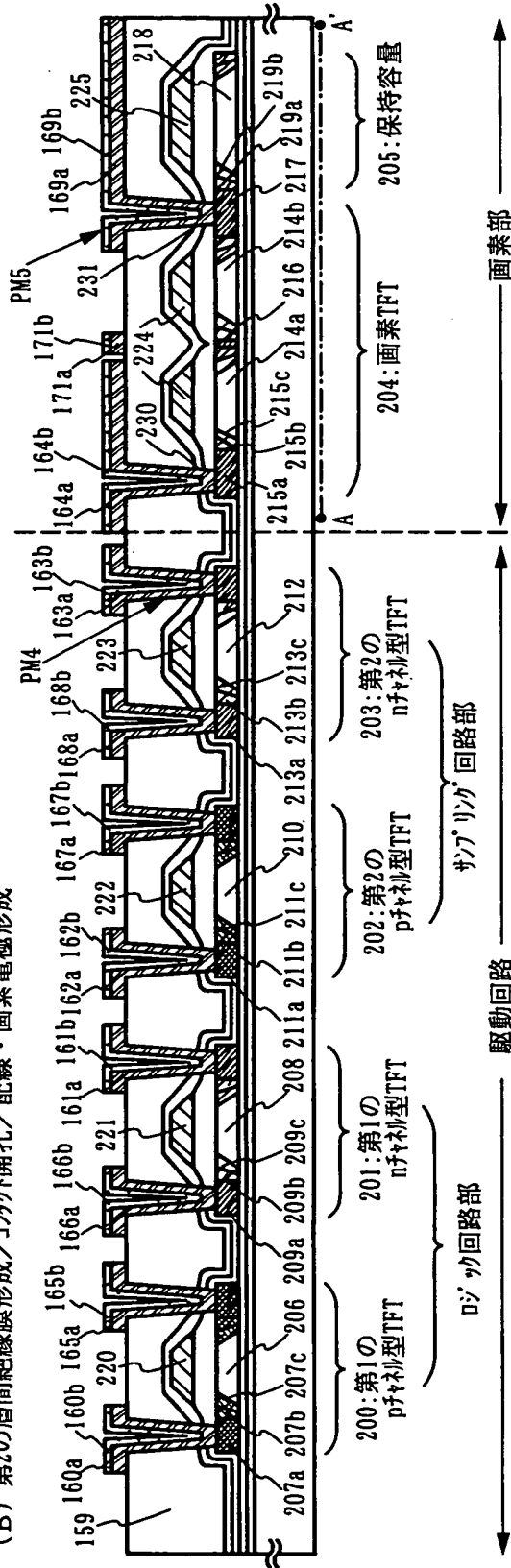


【図 6】

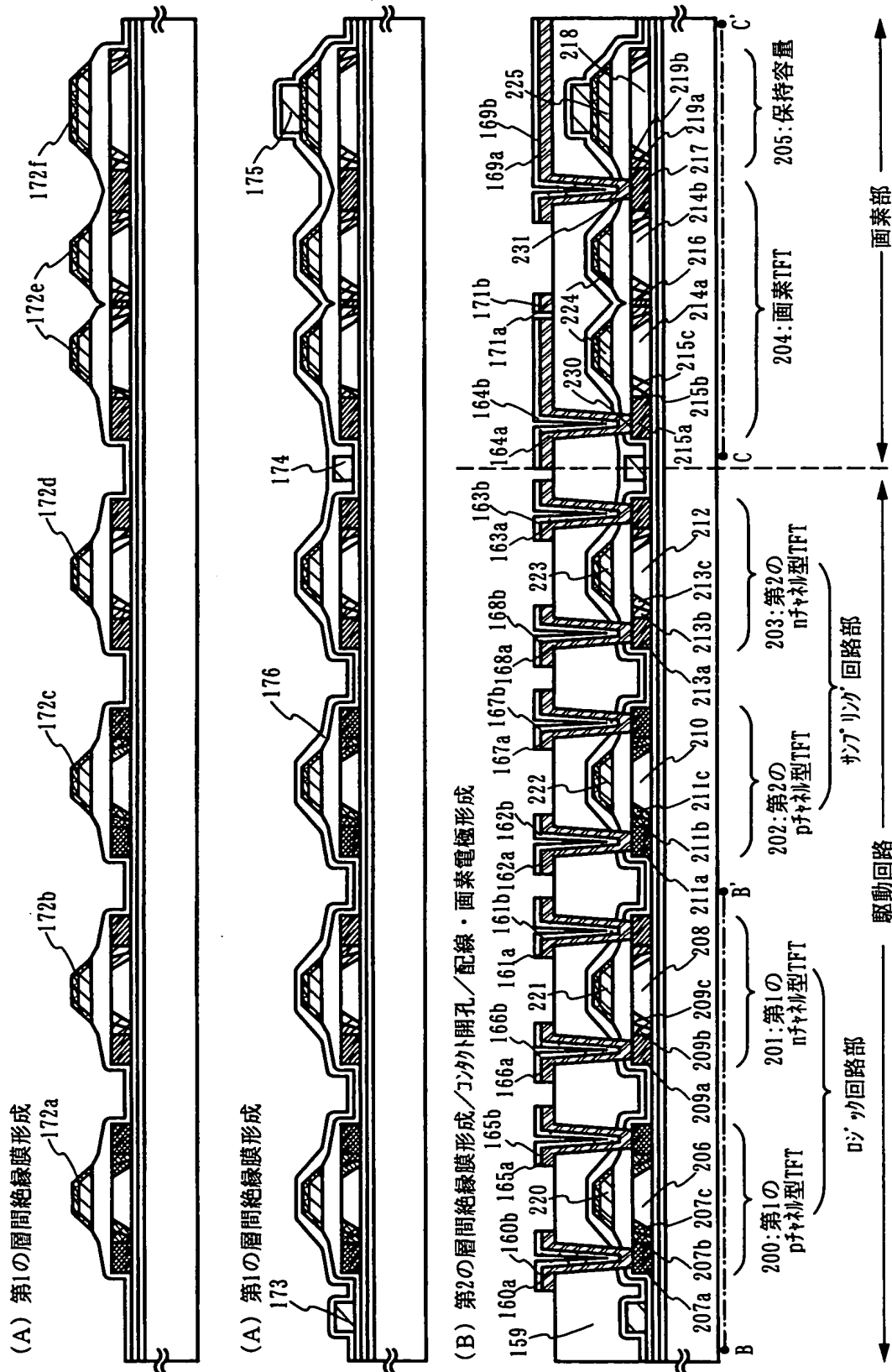
(A) 第1の層間絶縁膜形成



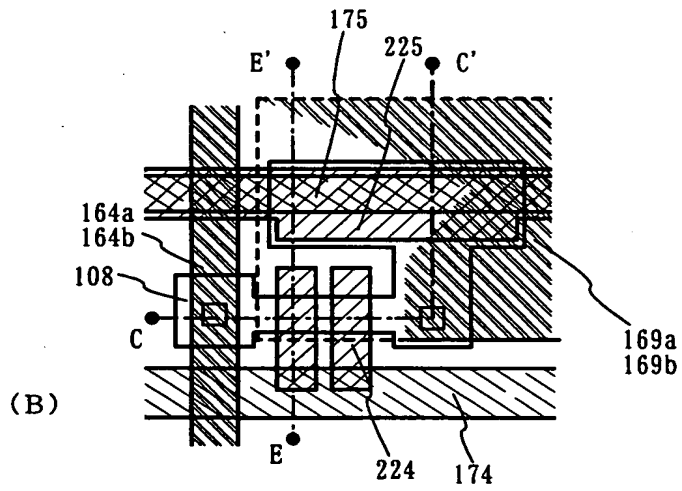
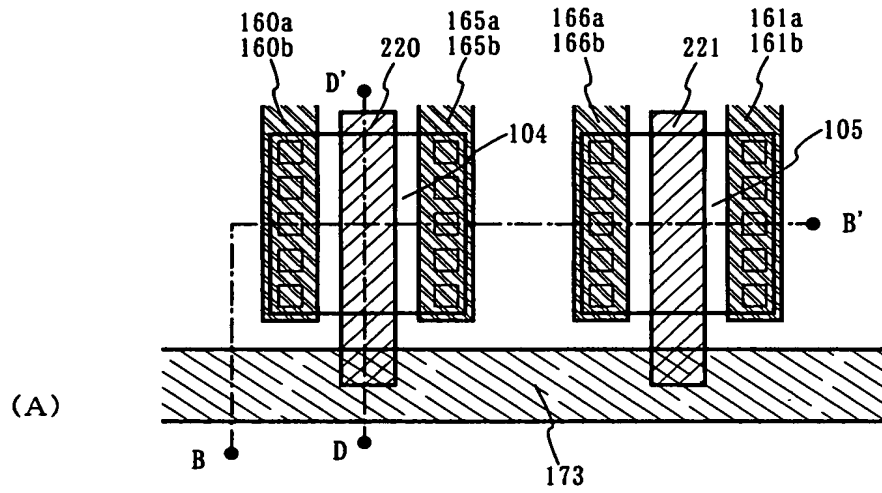
(B) 第2の層間絶縁膜形成/コンタクト開孔/配線・画素電極形成



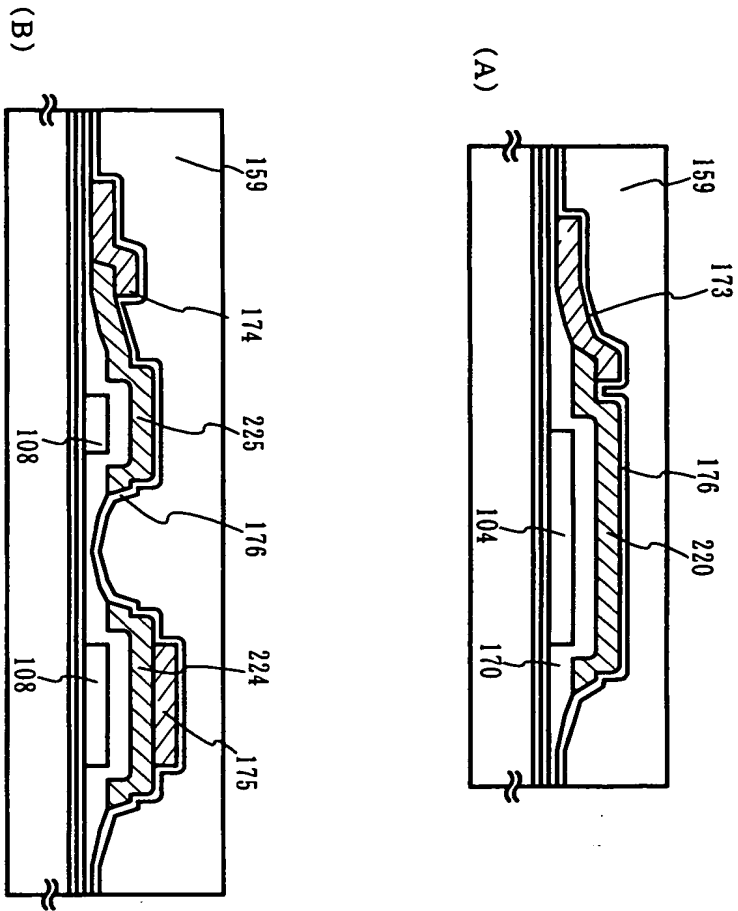
【図 7】



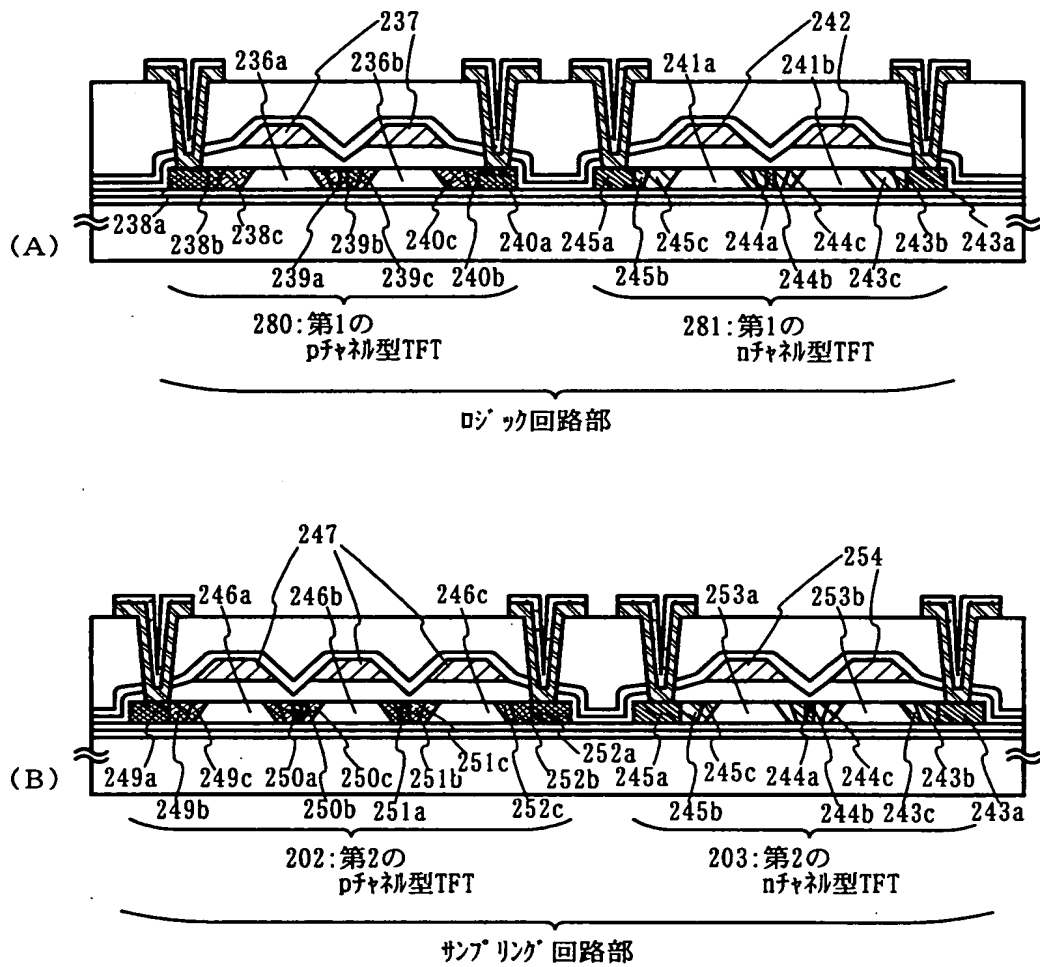
【図 8】



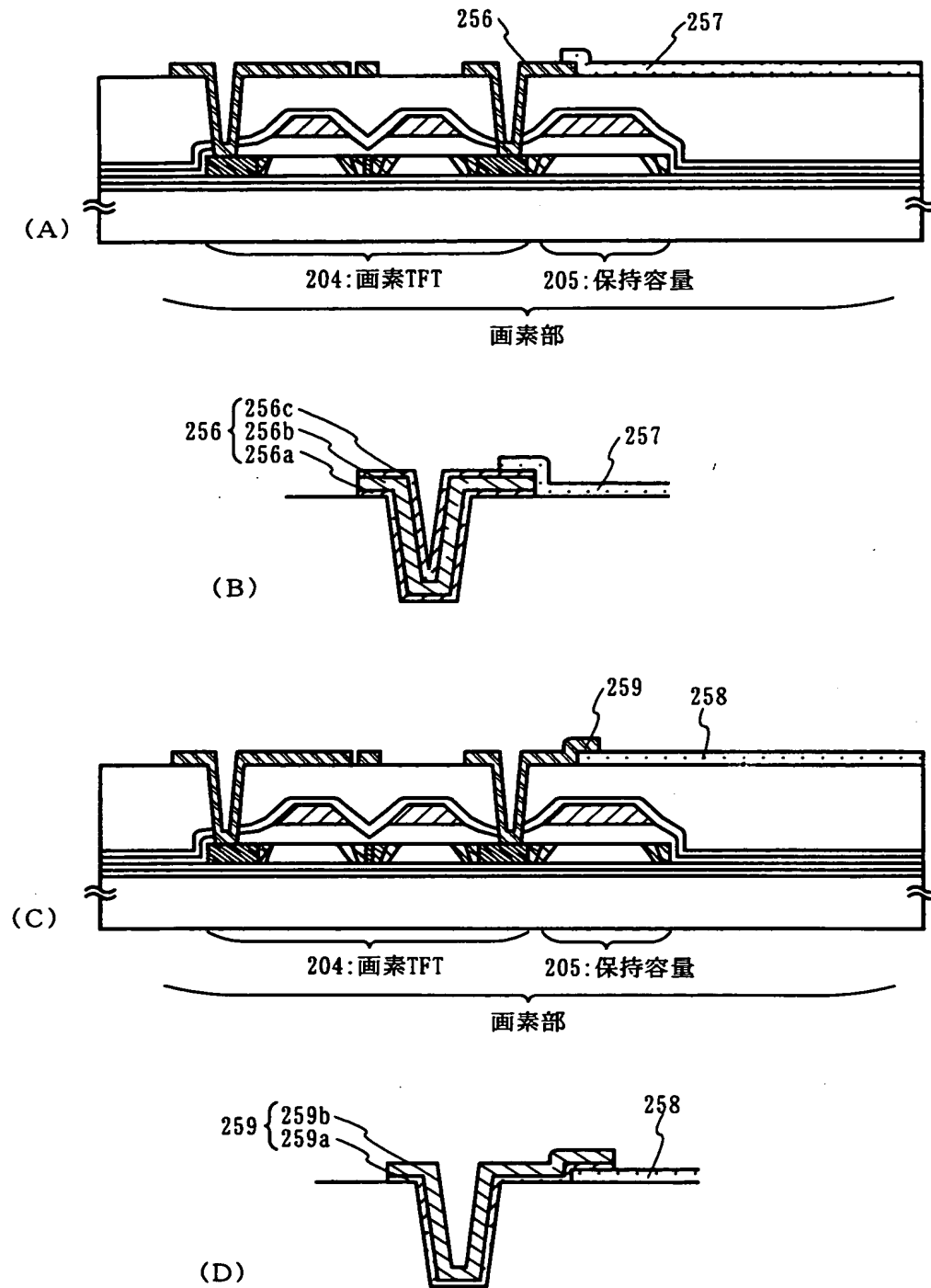
【図 9】



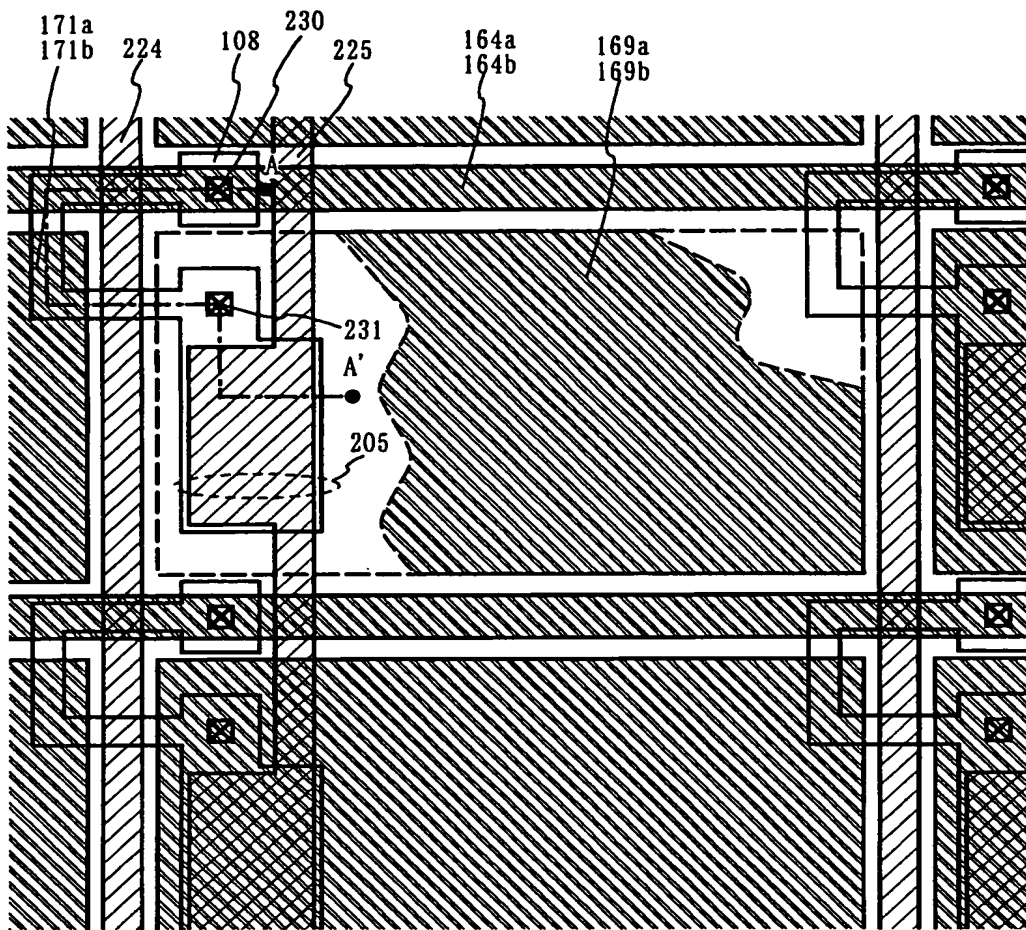
【図10】



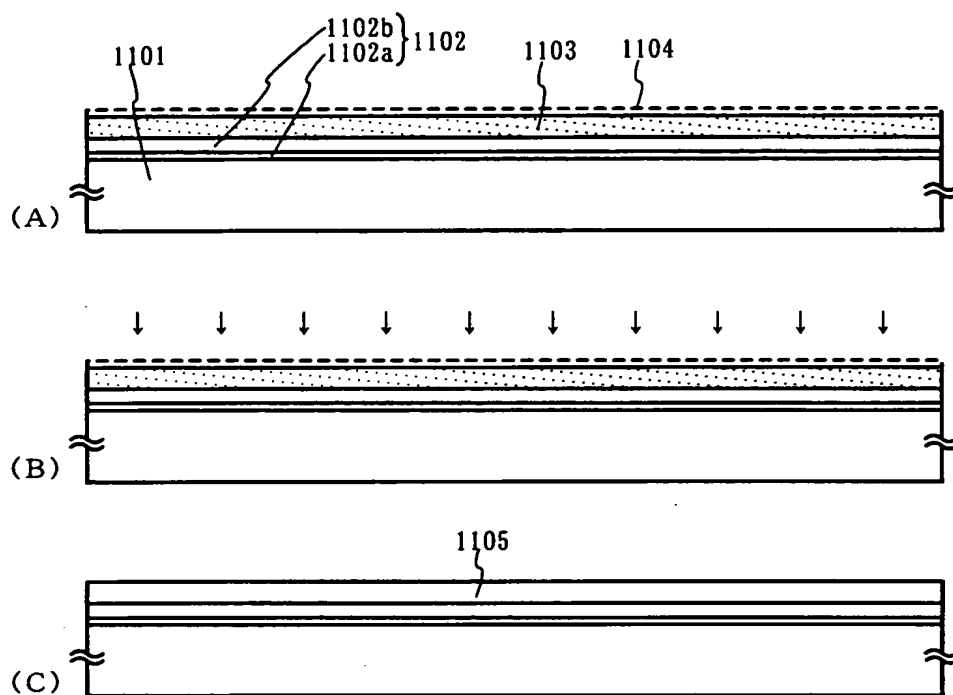
【図 11】



【図 12】



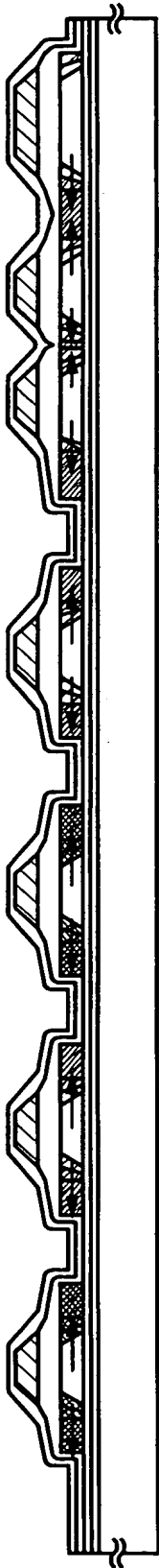
【図 1 3】



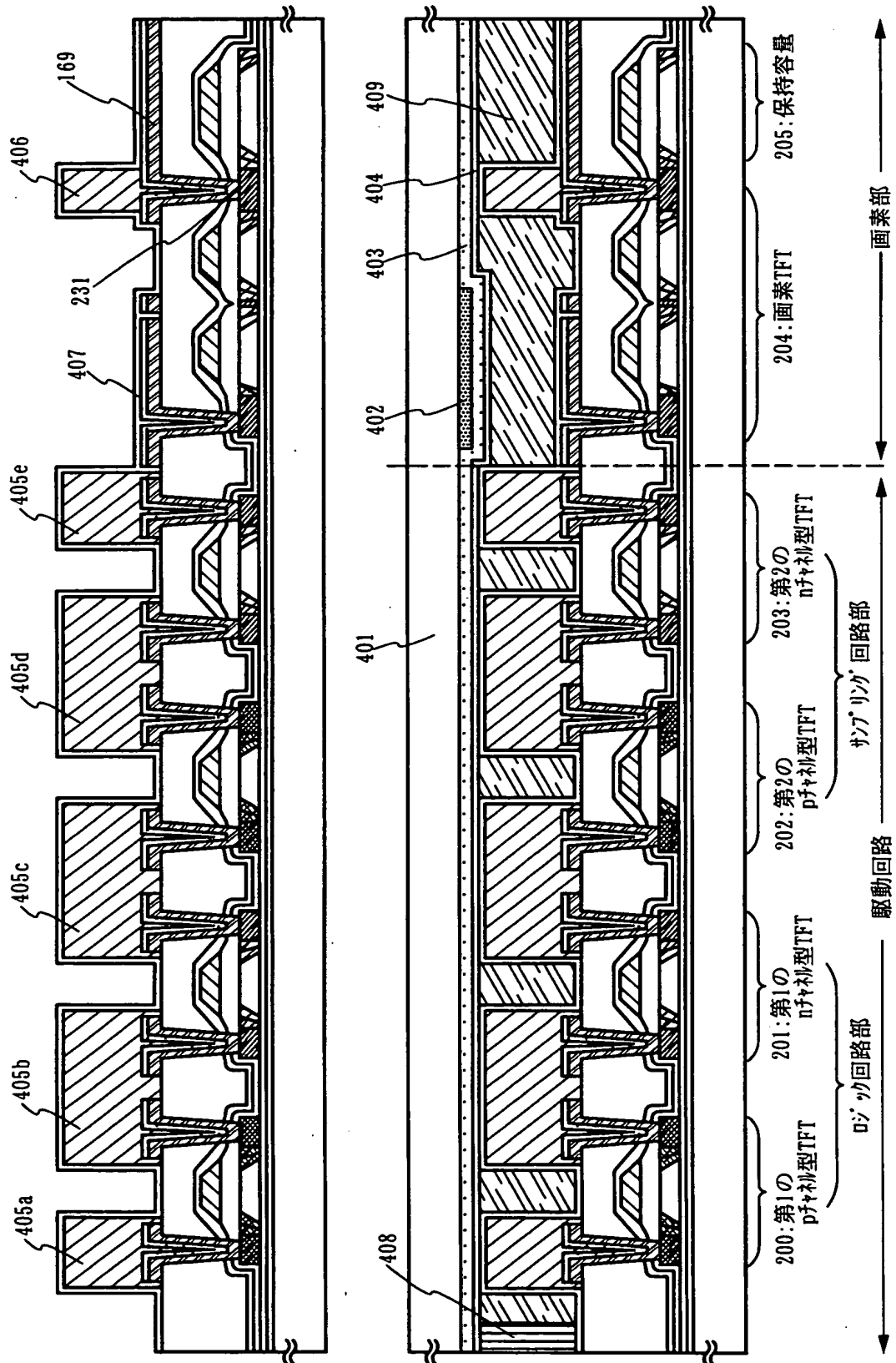


【図 1 4】

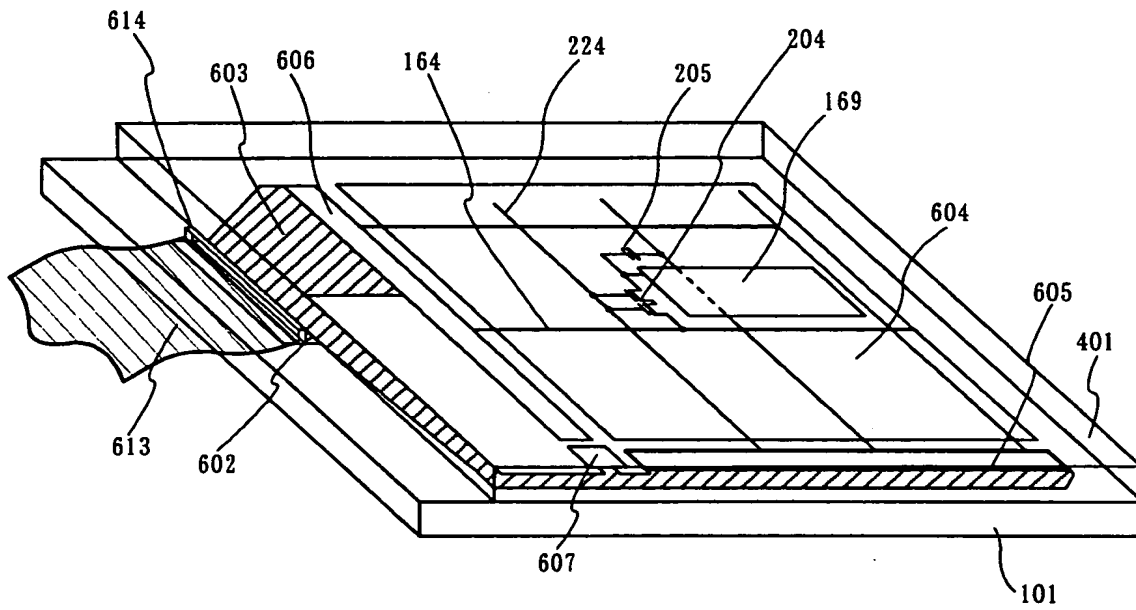
活性化工程



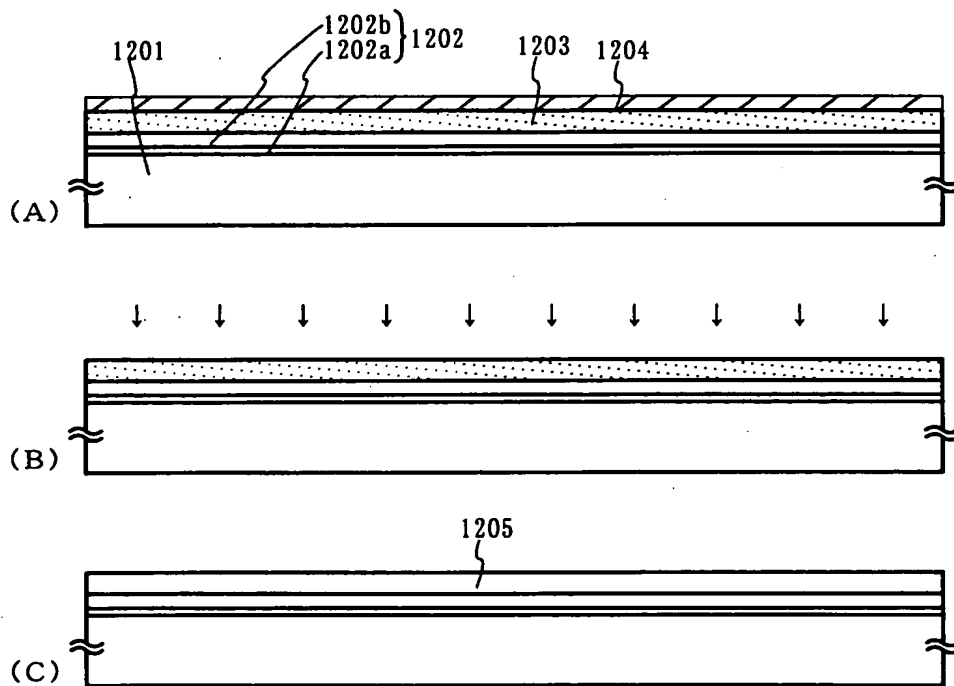
【図15】



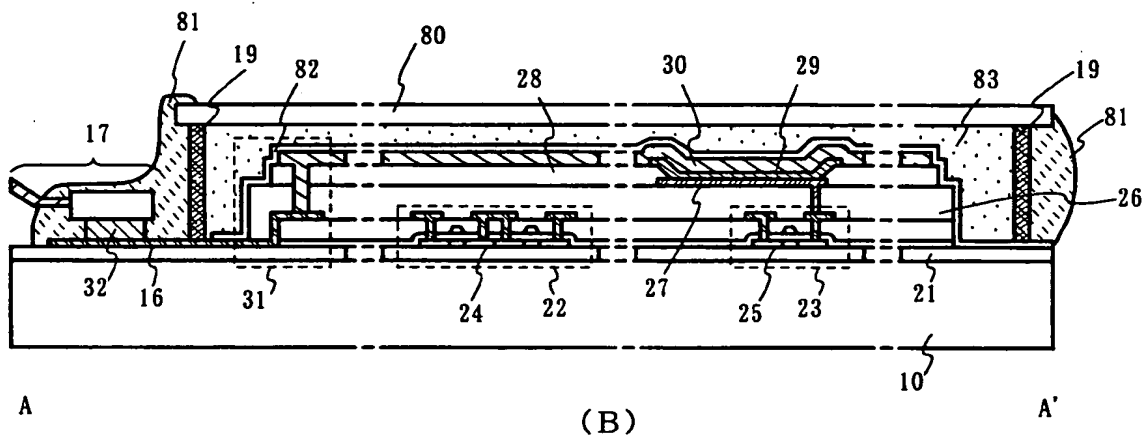
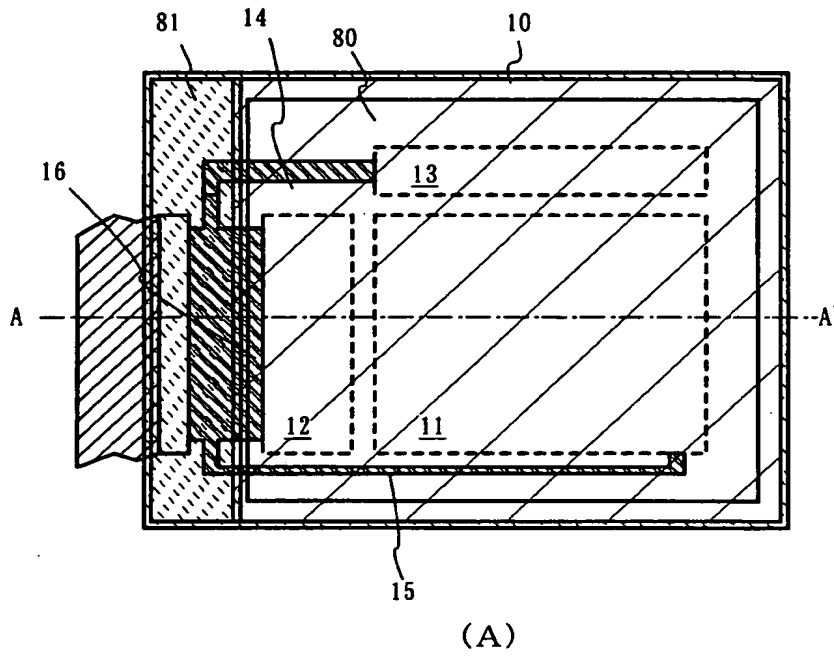
【図 16】



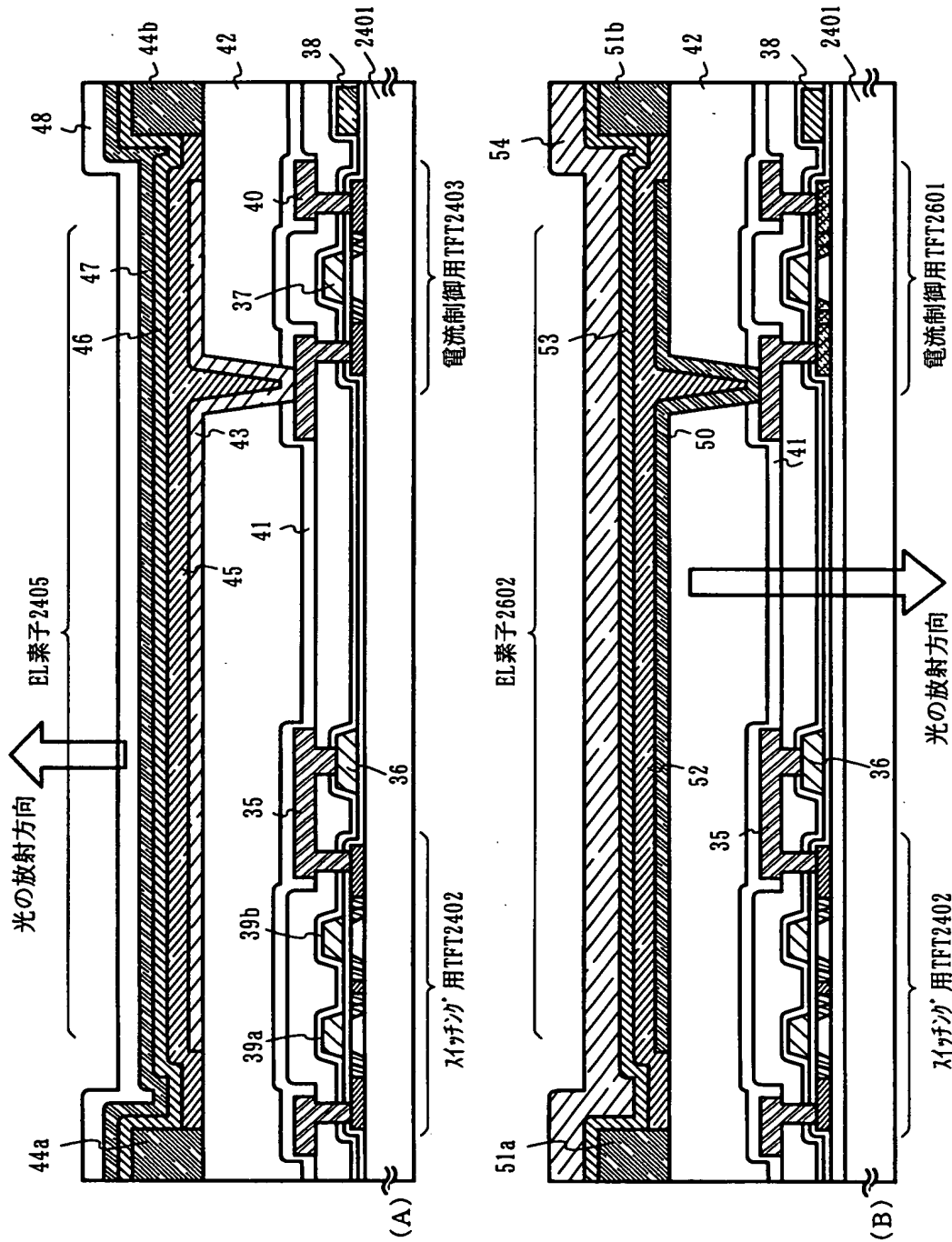
【図 17】



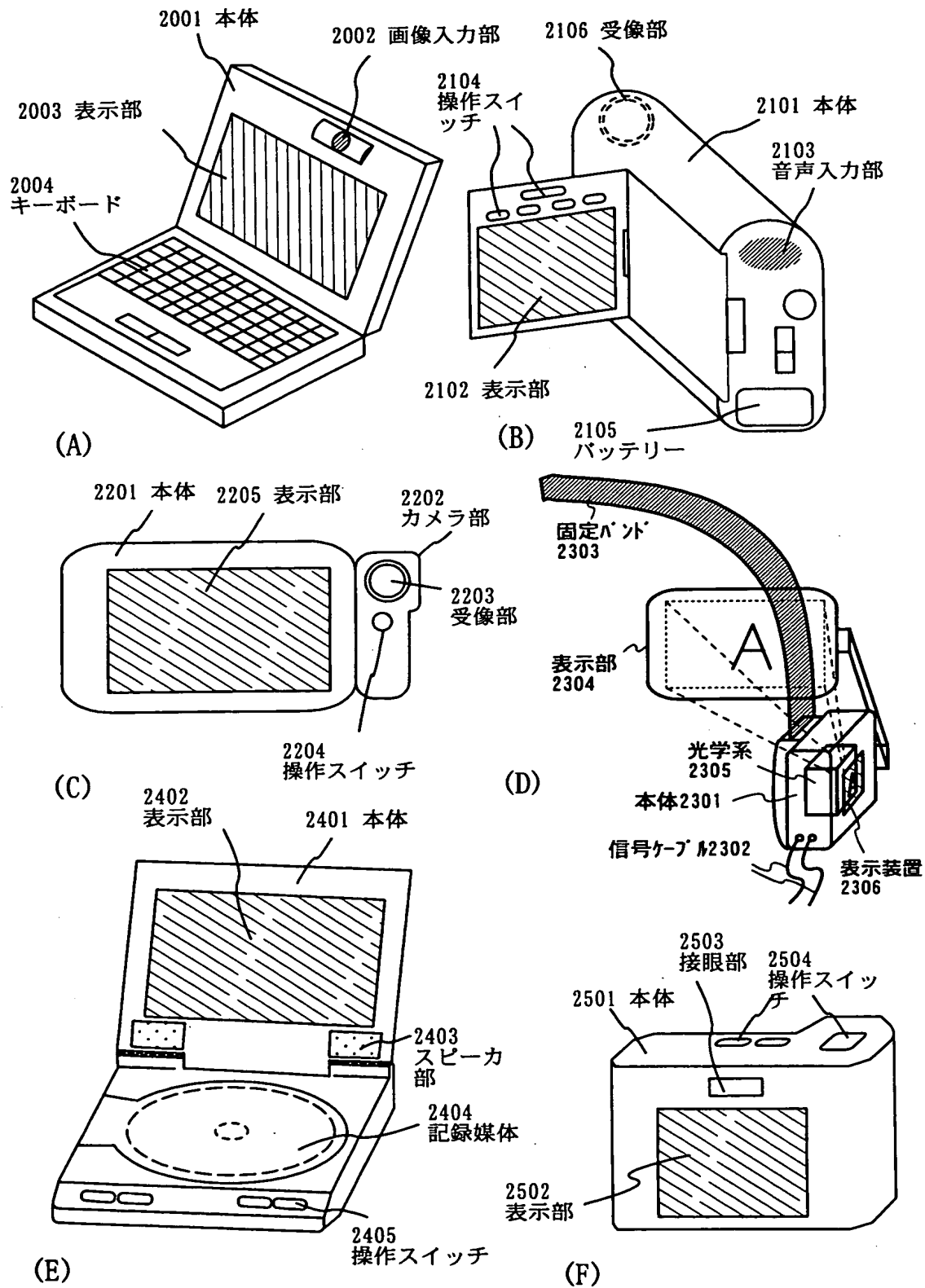
【図 18】



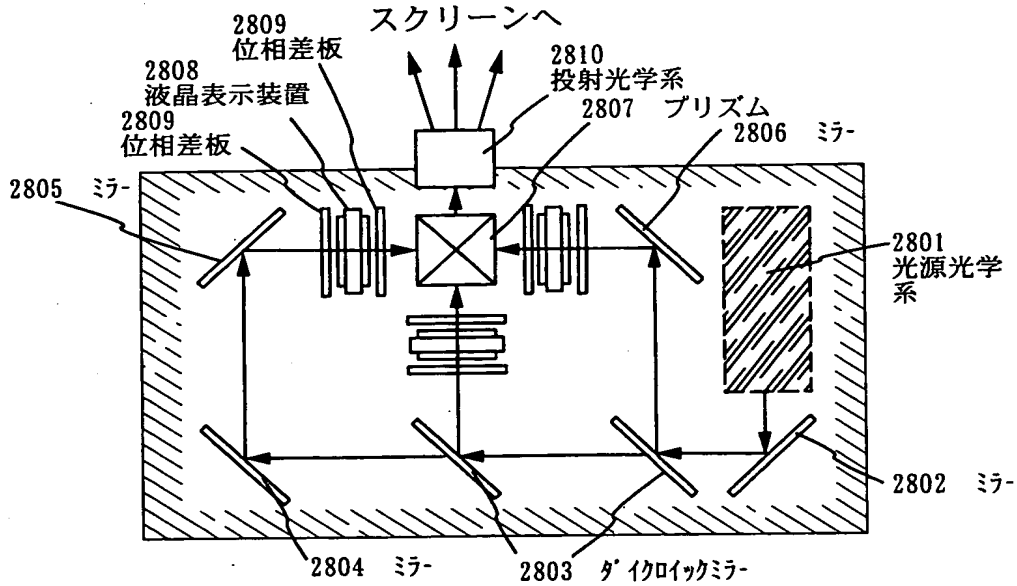
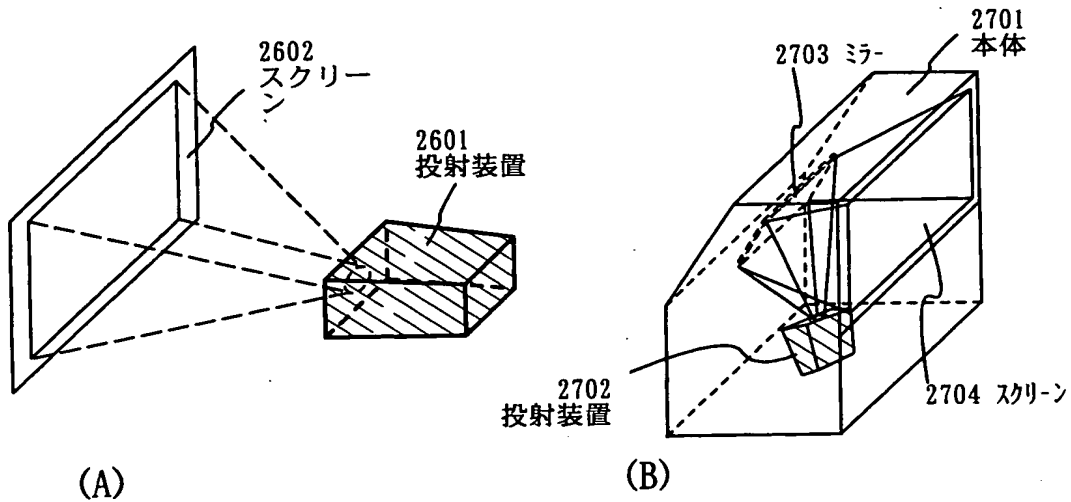
【図 19】



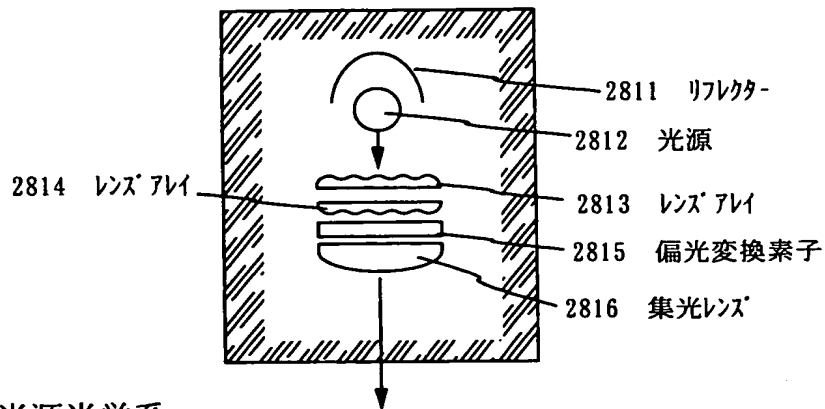
【図20】



【図 21】



(C) 投射装置 (三板式)

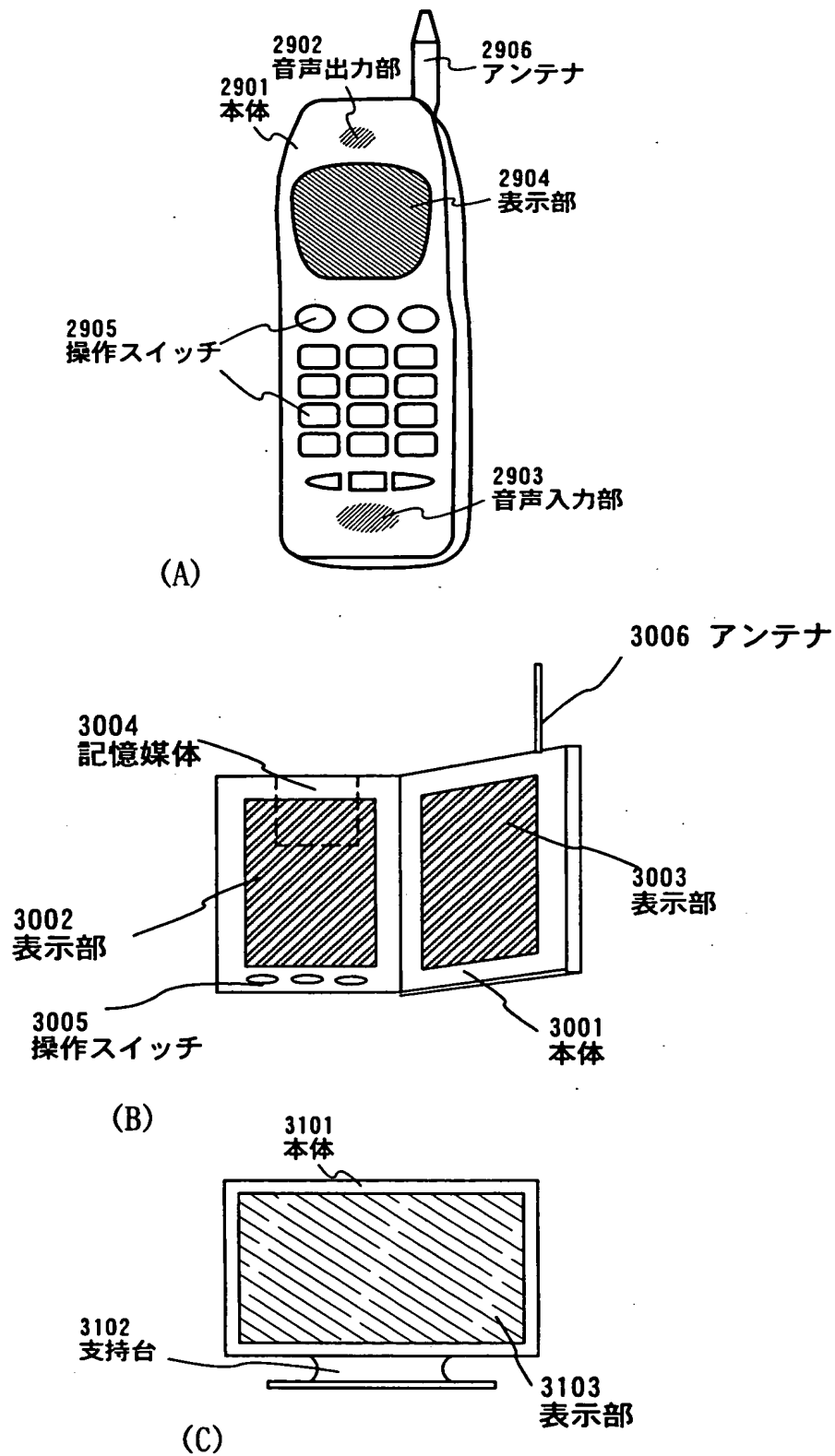


(D) 光源光学系

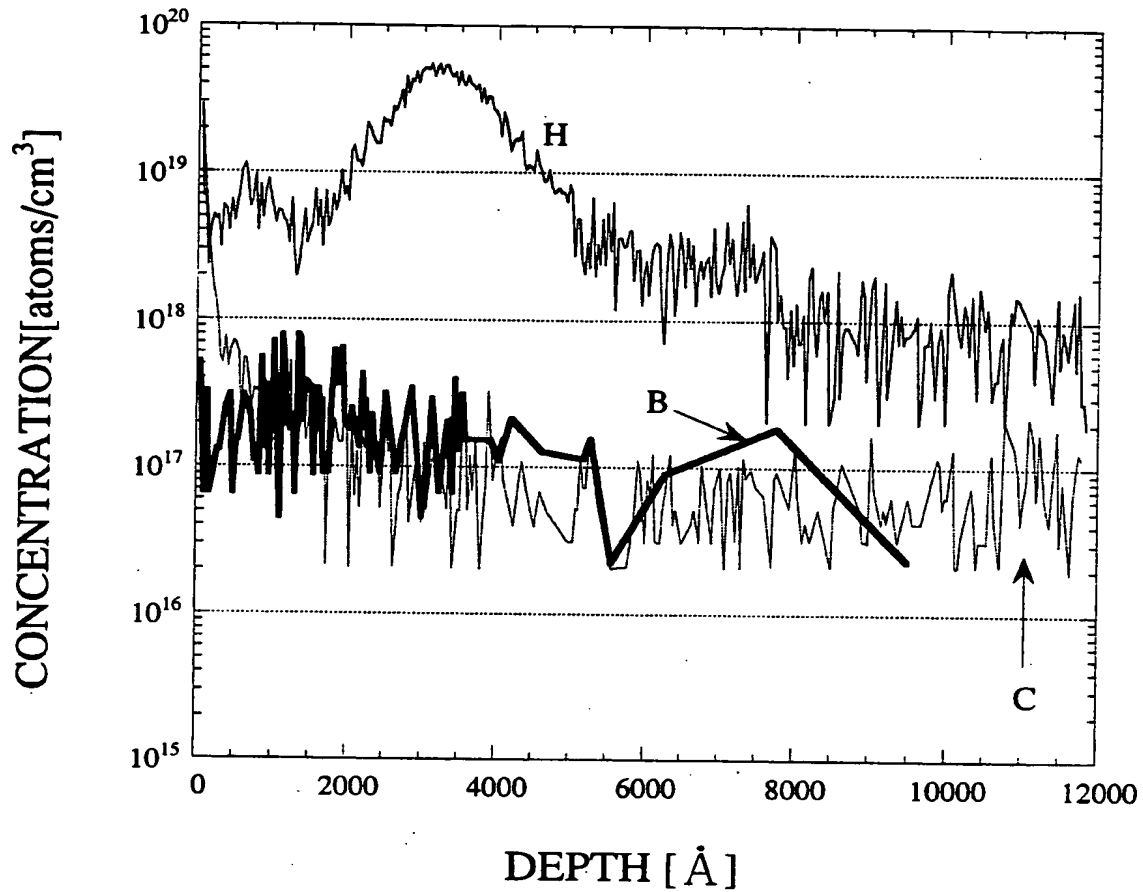
特 2 0 0 0 - 0 1 2 1 4 8



【図 22】



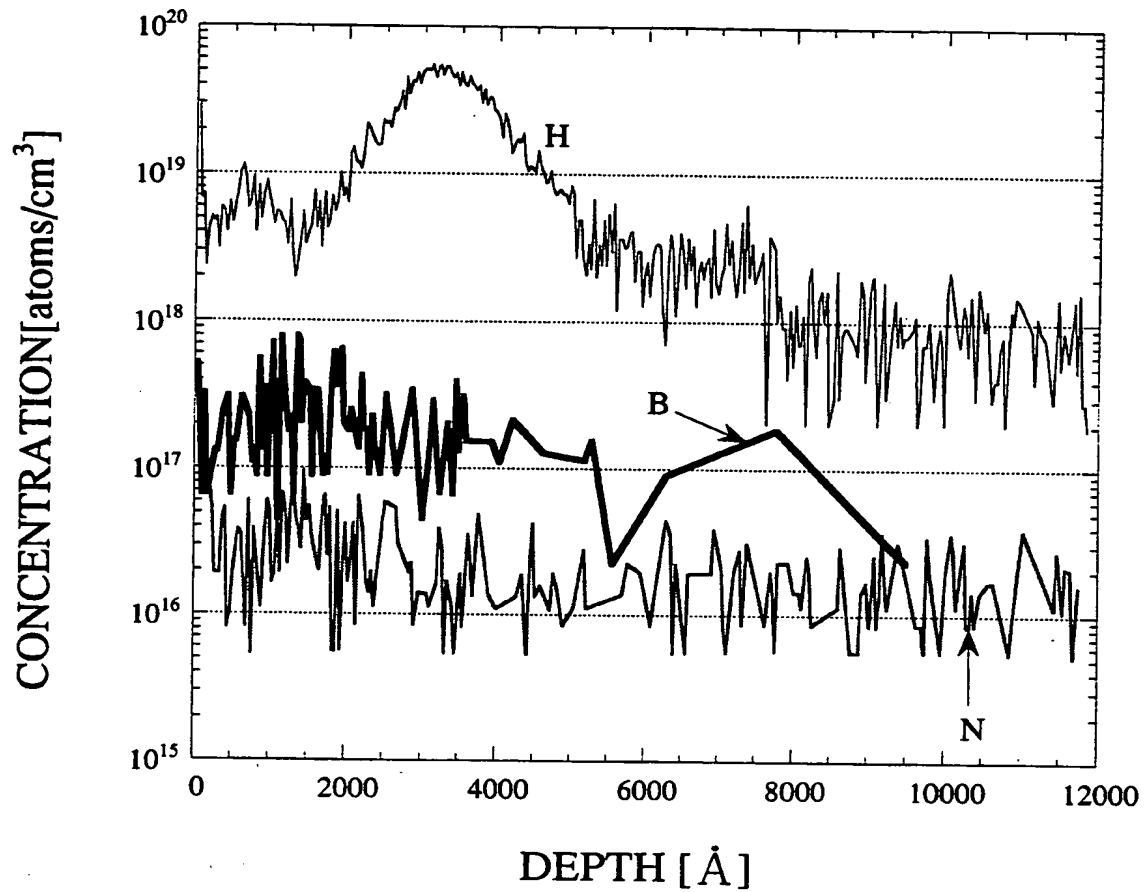
【図 23】



0.1%水素希釈 B 80kV 注入時の大気成分SIMS分析結果

(従来例)

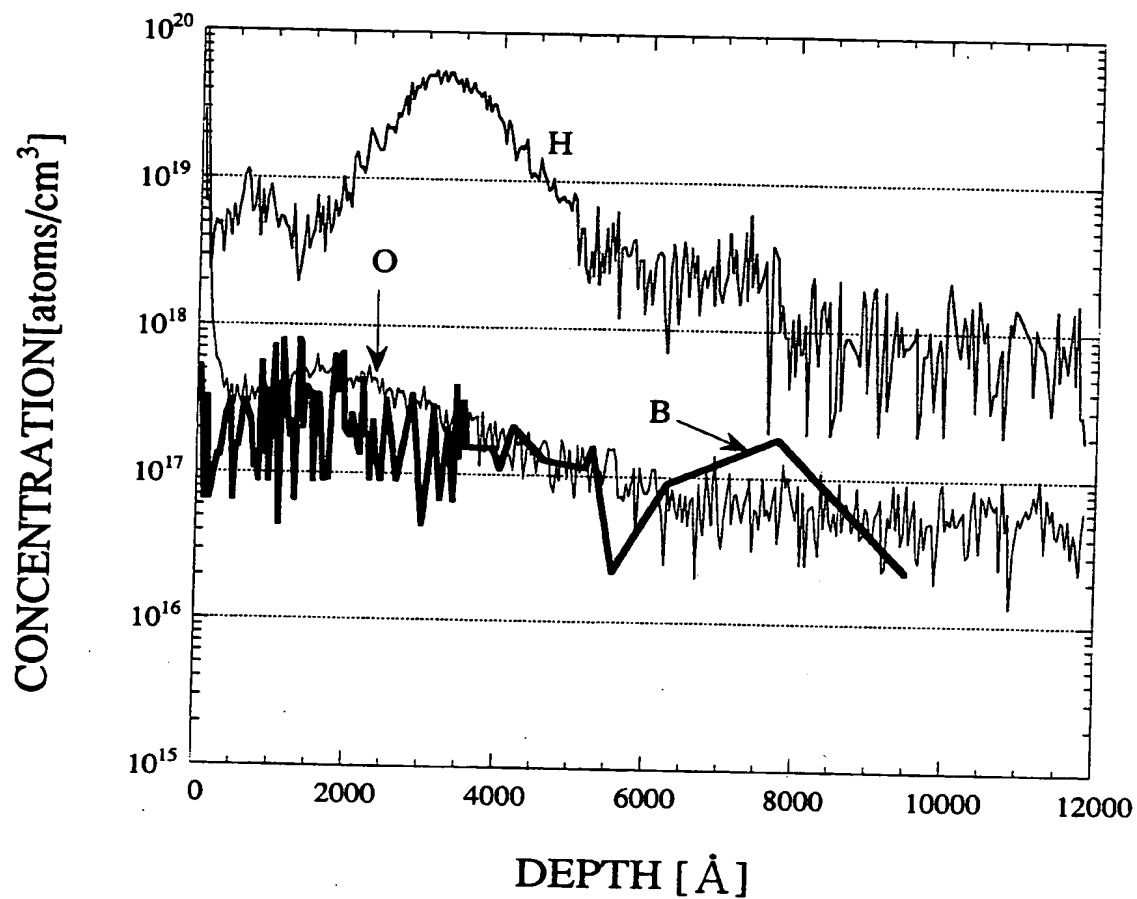
【図 24】



0.1%水素希釈 B 80kV 注入時の大気成分SIMS分析結果

(従来例)

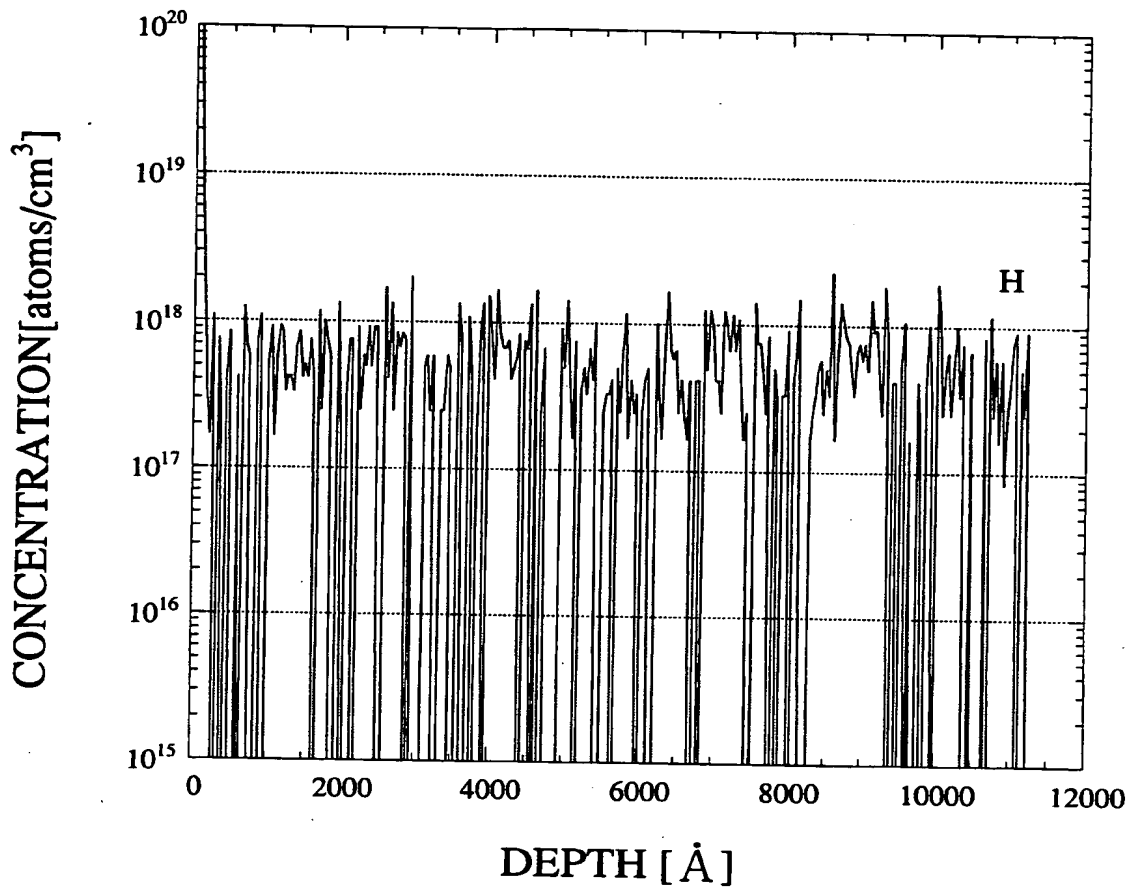
【図 25】



0.1%水素希釈 B 80kV 注入時の大気成分SIMS分析結果

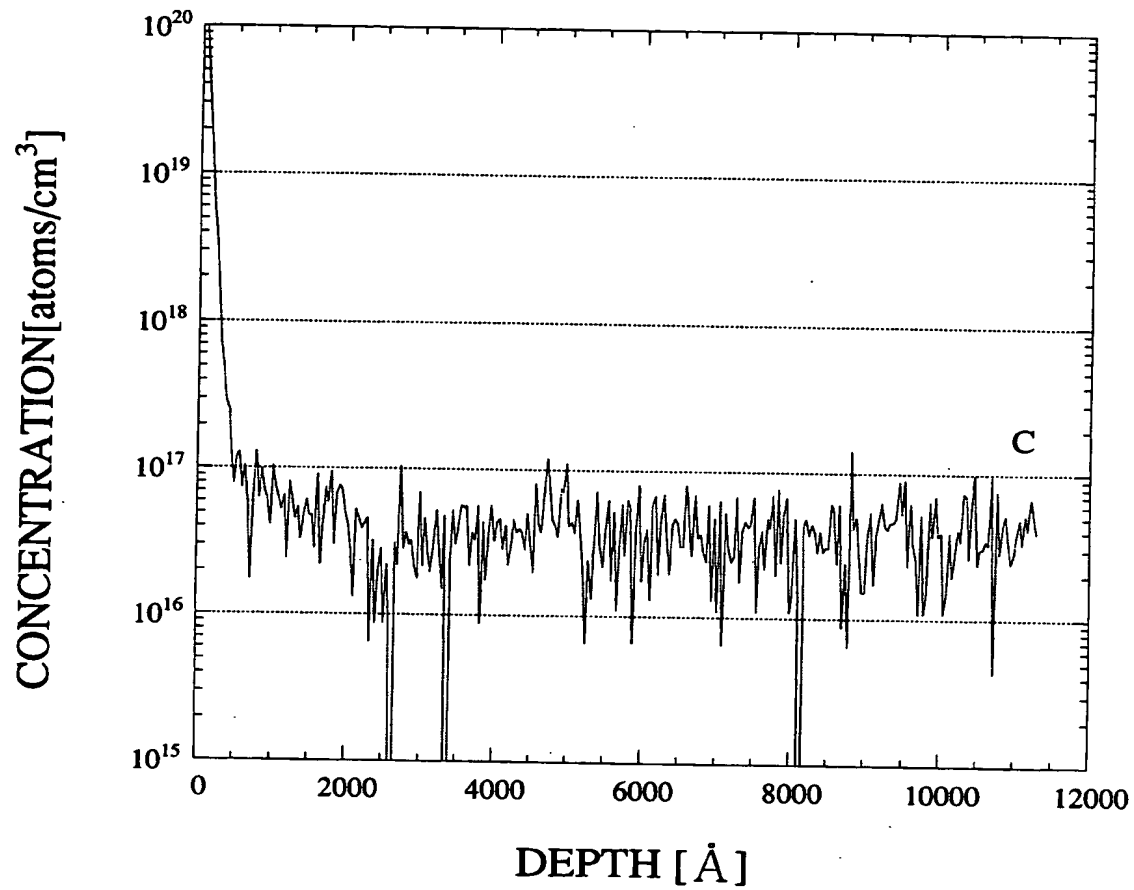
(従来例)

【図 2 6】



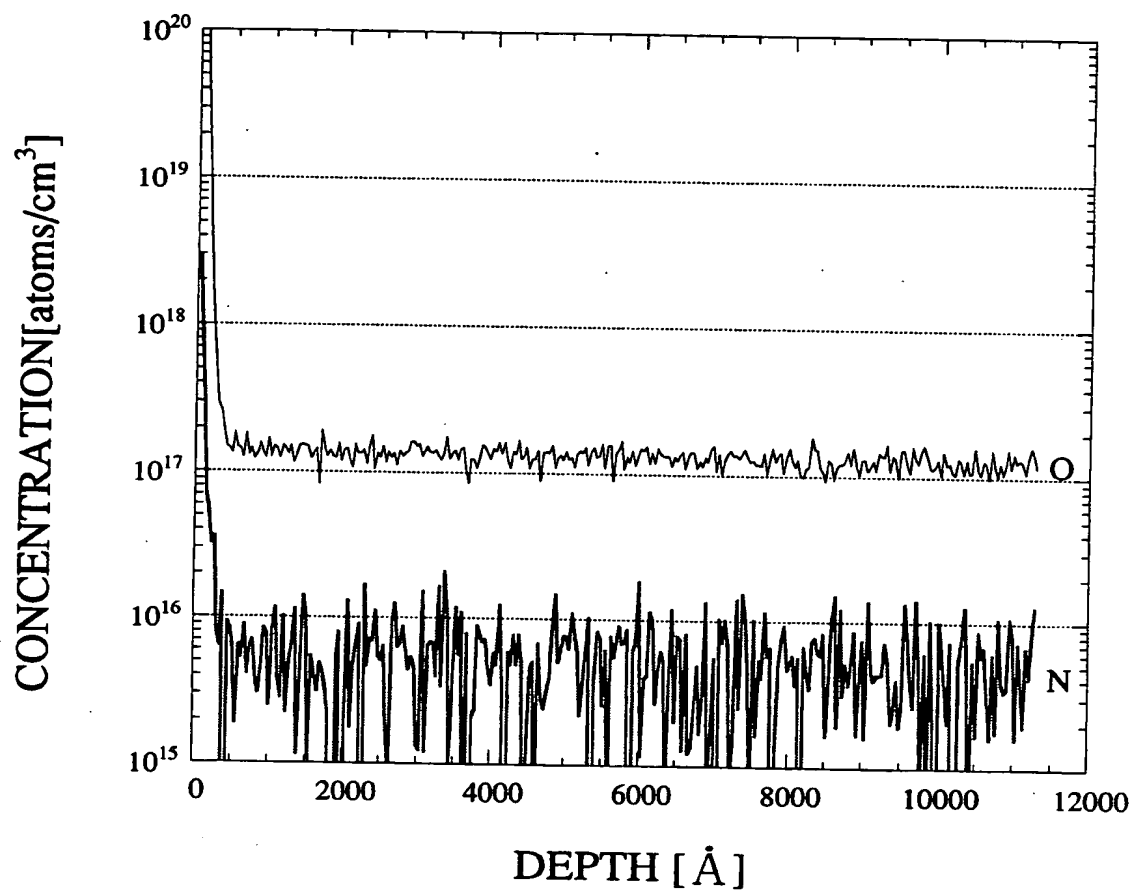
リファレンス

【図 27】



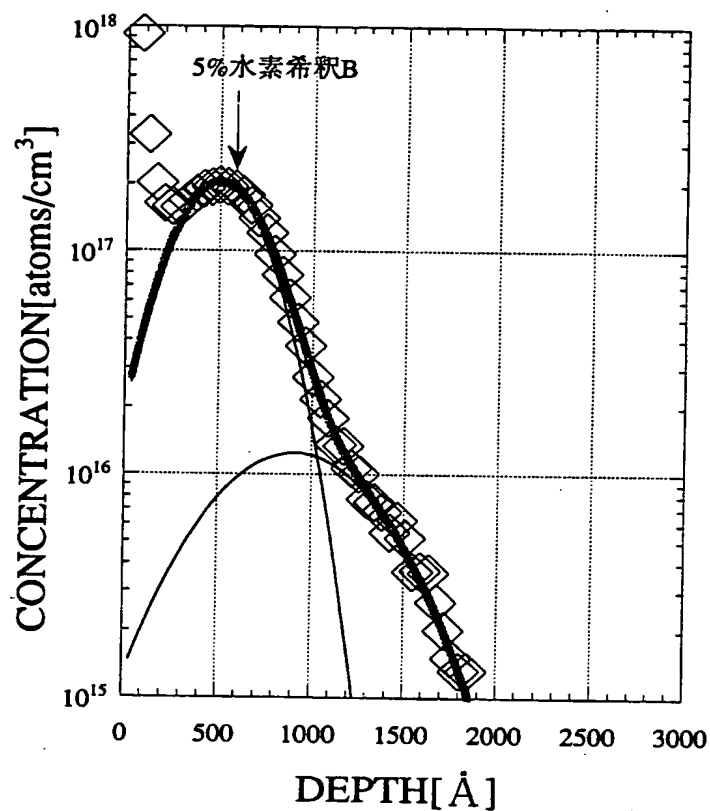
リファレンス

【図 28】



リファレンス

【図 29】



5%B フィーティング	
	値
ドーズ量1	1.1224e+12
ドーズ量2	1.3183e+11
標準偏差1	227.08
標準偏差2	422.75
投影飛程1	494.37
投影飛程2	908.19
カイ2乗	0.52998
R	1

ガウス関数によるフィッティング  
 30kV注入におけるBの投影飛程 (Å)  
 LSS計算 (into Si or SiO<sub>2</sub>)  
 B<sup>+</sup> : 約1000 Å  
 B<sub>2</sub><sup>+</sup> : 約500 Å

B 30kV 注入デプスプロファイルのガウス関数によるフィッティング



【書類名】 要約書

【要約】

【課題】 イオンドーピング装置を用いて、不純物イオンの添加量を正確に制御して半導体層にドーピングし、バラツキが少なく、良好な特性を示すT F Tを備えた半導体装置を作製することを課題としている。

【解決手段】 ドーピング時に不純物イオンと同時に添加される大気成分（C、N、O）の濃度を低減させることによって、良好、且つ、安定した特性を示すT F Tを備えた半導体装置を得ることができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日  
[変更理由] 新規登録  
住 所 神奈川県厚木市長谷398番地  
氏 名 株式会社半導体エネルギー研究所